

Техническое описание

Блок
ШИМ (ePWM)

Версия документа 1.0

Содержание

Содержание	2
1. Введение	4
1.1 Иерархия блока	6
1.2 Описание составляющих модулей внутри блока	8
2. Таймер (ТВ)	10
2.1 Назначение Таймера	10
2.2 Описание сигналов модуля Таймера	11
2.3 Вычисление периода и Частоты ШИМ	12
2.3.1 Регистр Отложенной загрузки периода ШИМ	13
2.3.2 Синхронизация внутренней частоты Блоков ШИМ	14
2.3.3 Синхронизация Таймеров	14
2.3.4 Режимы работы счетчика Таймера	14
3 Компаратор	15
3.1 Назначение	15
3.2 Управление Компаратором	16
3.3 Работа Компаратора	16
3.4 Временные диаграммы	17
4 Обработчик событий	19
4.1 Назначение Обработчика Событий	19
4.2 Управление Обработчиком Событий	19
4.3 Приоритет Событий	20
4.4 Временные диаграммы	22
5 Пороговый Выключатель (HD)	23
5.1 Назначение Порогового Выключателя	24
5.2 Управление Пороговым Выключателем	24
5.3 Работа Порогового Выключателя	24
6 Генератор Мертвого Времени ШИМ (DV)	25
6.1 Назначение Генератора Мертвого Времени ШИМ	25
6.2 Управление Генератором Мертвого Времени	26
6.3 Работа Генератора Мертвого Времени ШИМ	26
7 Фильтр коротких импульсов (SF)	27
7.1 Назначение Фильтра	27
7.2 Управление Фильтром	28
7.3 Работа Фильтра	28
8 Модулятор (PC)	28
8.1 Назначение Модулятора	28
8.2 Управление Модулятором	29
8.3 Работа Модулятора	29
9 Детектор Сигнала Аварии (TZ)	30
9.1 Назначение Детектора Сигнала Аварии	30
9.2 Управление Детектором Сигнала Аварии	31
9.3 Работа Детектора Сигналов аварии	32
10 Триггер событий (ET)	33
10.1 Работа Триггера событий	34

11	Расширение для Блока ШИМ Высокого разрешения (eHRPWM).....	35
11.1	Улучшение разрешающей способности.....	36
11.2	Использование линий задержки.....	36
11.3	Конфигурация.....	37
11.4	Принцип работы.....	38
11.4	Ограничения диапазона скважности.....	38
11.5	Калибровка.....	38
12	Сопряжение с Блоками АЦП.....	39
13.0	Регистры блока ШИМ.....	41
13.1	Адресное пространство.....	41
13.2	Регистр максимального значения Таймера (TBPRD).....	42
13.3	Регистр Фазы (TBPHS).....	43
13.4	Регистр текущего значения Таймера (TBCTR).....	43
13.5	Регистр управления Таймером (TBCTL).....	44
13.6	Регистр статуса Таймера (TBSTS).....	45
13.7	Регистр порога срабатывания А (CMPA).....	46
13.8	Регистр порога срабатывания В (CMPB).....	46
13.9	Регистр управления Компаратором (CMPCTL).....	47
13.10	Регистр Обработчика для выхода А (AQCTLA).....	48
13.11	Регистр Обработчика для выхода В (AQCTLB).....	49
13.12	Регистр Обработчика для однократного программного управления (AQSFRC).....	50
13.13	Регистр Обработчика для циклического программного управления (AQCSFRC).....	52
13.14	Регистр Управления Генератором Мертвого Времени ШИМ (DBCTL).....	52
13.15	Регистр Управления мертвым Временем (DBRED).....	53
13.16	Регистр Управления мертвым Временем (DBFED).....	53
13.17	Регистр Управления Модулятором (PCCTL).....	54
13.18	Регистр источника сигнала аварии (TZSEL).....	54
13.19	Регистр Управления Детектором Сигнала Аварии (TZCTL).....	55
13.20	Регистр маски прерывания Детектора Сигнала Аварии (TZEINT).....	56
13.21	Регистр флагов прерывания Детектора Сигнала Аварии (TZFLG).....	56
13.22	Регистр сброса флагов прерывания Детектора Сигнала Аварии (TZCLR).....	57
13.23	Регистр Программной эмуляции сигнала аварии (TZFRC).....	57
13.24	Регистр источника триггера событий (ETSEL).....	57
13.25	Регистр предделителя триггера событий (ETPS).....	59
13.26	Регистр Флагов триггера событий (ETFLG).....	60
13.27	Регистр Сброса флагов триггера событий (ETCLR).....	60
13.28	Регистр Программной эмуляции событий (ETFRC).....	61
13.29	Регистр ширины фильтрации (FWDTH).....	61
13.30	Регистр источника сигнала события удержания (HDSEL).....	61
13.31	Регистр Управления детектором событий удержания (HDCTL).....	62
13.32	Регистр Конфигурации Блока ШИМ Высокого Разрешения (HRCNFG).....	62
13.33	Регистр маски прерывания Детектора Сигнала Аварии (HDEINT).....	63
13.34	Регистр флагов прерывания Детектора Сигнала Аварии (HDFLG).....	64
13.35	Регистр сброса флагов прерывания Детектора Сигнала Аварии (HDCLR).....	64
13.36	Регистр Программной активации Порогового Выключателя (HDFRC).....	65
13.37	Регистр сброса прерывания HDINT (HDINTCLR).....	65
13.38	Регистр сброса прерывания TZINT (TZINTCLR).....	65
13.39	Регистр сброса прерывания INT (INTCLR).....	65

1. Введение.

Архитектура Блока ШИМ разработана по принципу минимальной нагрузки на процессор, что достигается автоматизацией формирования выходных импульсов с настраиваемыми пользователем параметрами. Так, после минимальных настроек этот блок способен работать самостоятельно как выделенный канал ШИМ с собственным Таймером, формируя выходные сигналы EPWMxA и EPWMxB (см. Рис.1). В контроллере имеется 9 одинаковых блоков ШИМ, объединенных общей схемой синхронизации (Рис. 2), используемой для обеспечения синхронной работы Таймеров различных блоков ШИМ. Схема синхронизации состоит из последовательной цепи сигналов синхронизации SYNCI и SYNCO, проходящей через все Блоки, а также из мультиплексов, управляемых регистрами контроллера. Мультиплексы могут сформировать до трех независимых доменов синхронизации, каждый из которых подключен к выходу Ведущего блока ШИМ (Блок 1 на Рис.2).

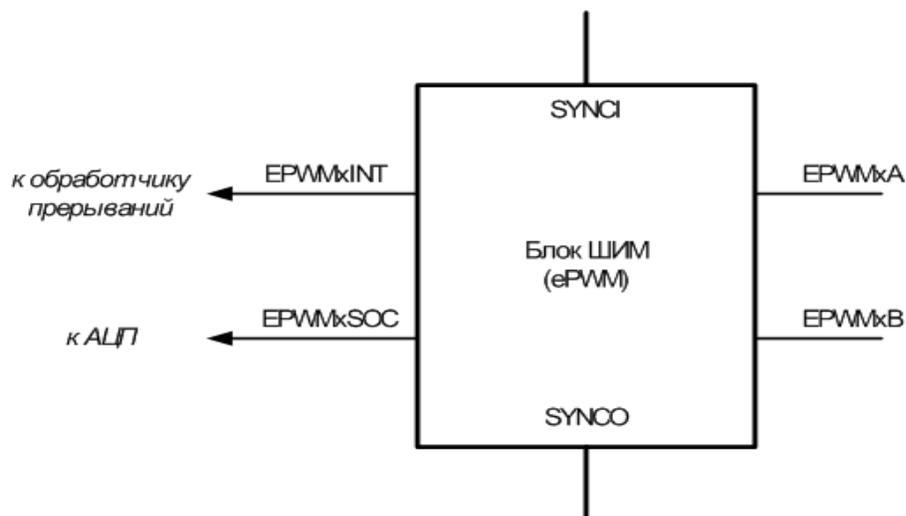


Рис.1 Внешние сигналы Блока ШИМ

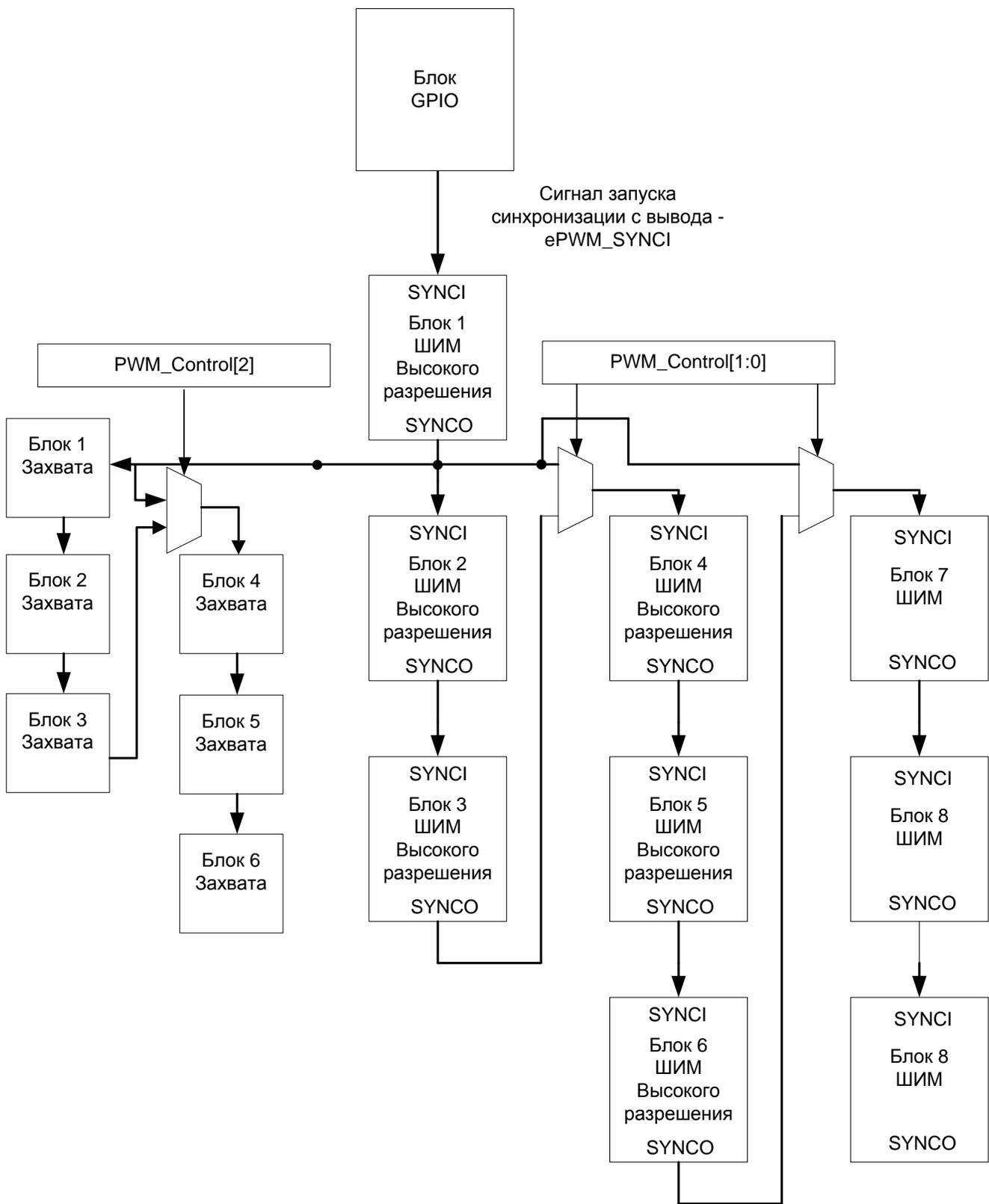


Рис.2 Синхронизация Блоков ШИМ в системе

1.1 Иерархия блока.

Каждый Блок ШИМ использует два вывода: EPWMxA и EPWMxB, где x — номер Блока ШИМ в системе. Все Блоки ШИМ в системе объединены единой цепью синхронизации, но могут работать и независимо. В эту же цепь синхронизации также включены блоки других типов: Блоки ШИМ Высокого разрешения, и Блоки Захвата (используется, если они работают в режиме APWM).

Каждый Блок ШИМ поддерживает следующую функциональность:

- 16-ти разрядный Таймер,
- Два вывода ШИМ (EPWMxA и EPWMxB), которые могут работать в режиме фронтной и центрированной модуляции как полностью независимо, так и комплементарно с разделением генератором мертвого времени.
- Принудительное программное управление выходами ШИМ,
- Программное задание фазы счетчиков таймера для координации работы нескольких Блоков ШИМ,
- Аппаратный контроль за фазой при координации работы нескольких Блоков ШИМ,
- Предотвращение наложения фронтов (Генератор Мертвого Времени ШИМ, Dead-band) с независимой схемой задержки переднего и заднего фронтов выходного сигнала,
- Однократная и циклическая обработка сигналов аварии
- Сигнал аварии может переводить выходы (EPWMxA и EPWMxB) в высокое или низкое состояние, или же в Z-состояние,
- Все события могут инициировать прерывания, а также запускать работу Секвенсоров Блока АЦП (EPWMxSOC),
- Программируемый предделитель событий позволяет снизить нагрузку на процессор при обработке прерываний,
- ШИМ может модулироваться высокочастотным сигналом при использовании драйверов ключей с импульсным трансформатором,
- Выходы EPWMxA и EPWMxB могут управляться в зависимости от событий Цифровых Компараторов Блока АЦП, а также от событий Блока Аналоговых Компараторов, обеспечивая автоматический релейный режим поддержания заданной величины,
- Настраиваемый Фильтр коротких импульсов (в Блоке GPIO) может использоваться для исключения чрезмерно коротких выходных управляющих импульсов.

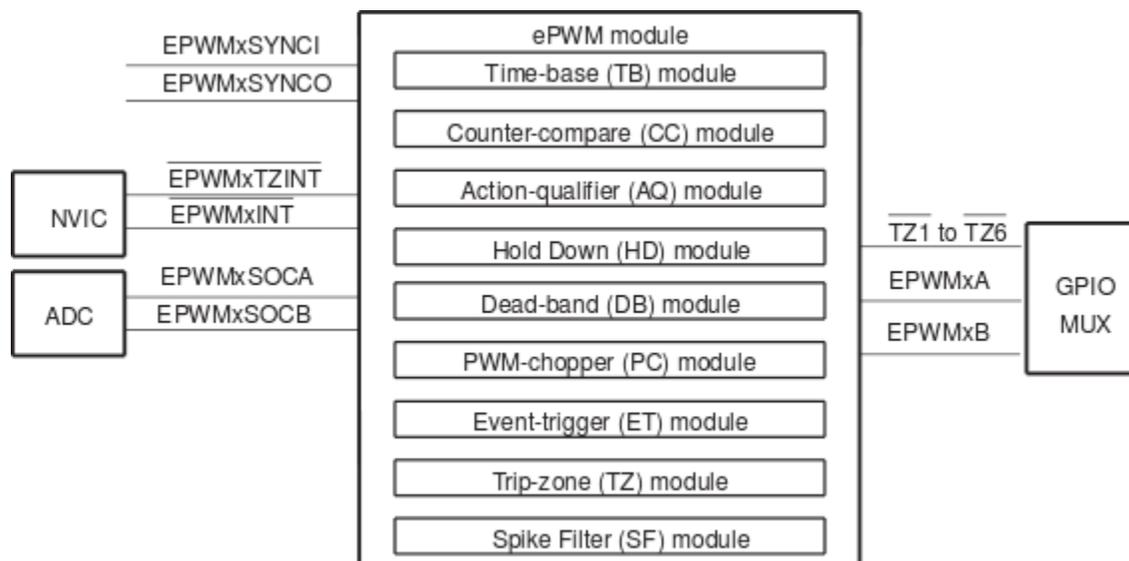


Рис.3 Внешние выходы Блока ШИМ (ePWM)

Описание сигналов и выводов:

- EPWMxA и EPWMxB: выходы ШИМ, работающие на выход,
- TZ1n — TZ6n: выходы, работающие на вход, с которых принимаются сигналы аварии, общие для всех Блоков ШИМ в контроллере. Каждый Блок ШИМ может использовать, а может и не использовать эти сигналы,
- EPWMxSYNCl (входной сигнал) и EPWMxSYNCO (выходной сигнал): цепь синхронизации. При этом внешний входной сигнал синхронизации подключен только к первому Блоку ШИМ, остальные Блоки лишь подключены последовательно по цепочке к его выходному сигналу EPWMxSYNCO, с возможностью переконфигурирования мультиплексорами (рисунок 2). Также, к выходному сигналу EPWMxSYNCO первого Блока ШИМ подключены Блоки Захвата 1 и 4(см. Рис. 2),
- EPWMxSOCA и EPWMxSOCB: выходные сигналы для запуска Секвенсоров Блока АЦП (см. Рис.27). Источник запуска Секвенсоров Блока АЦП формируется Триггером Событий Блока ШИМ.

1.2 Описание составляющих модулей внутри блока.

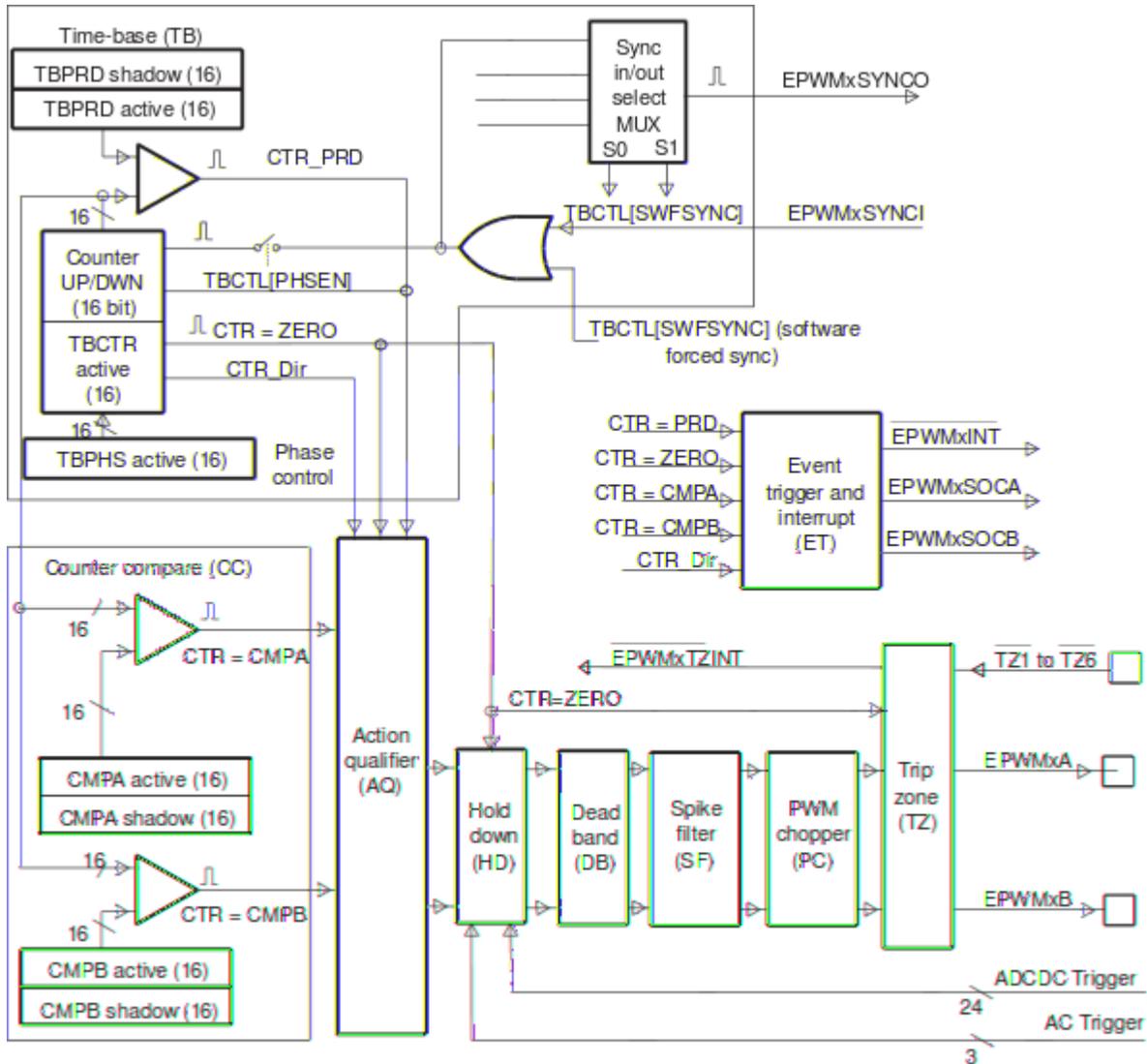


Рис.4 Структура Блока ШИМ (ePWM)

Таймер(TB):

- Содержит предварительный делитель (TBCLK) системного такта (SYSCLKOUT),
- Содержит счетчик(TBCTR), определяющий период ШИМ,
- Задаёт режимы для Счетчика: Счет вверх и счет вниз — для асимметричного ШИМ (фронтальная модуляция), а также Счет вверх-вниз, для симметричного ШИМ (центрированная модуляция),
- Задаёт фазовый сдвиг относительно другого Блока ШИМ,
- Содержит аппаратные и программные способы синхронизации таймера с другими Блоками ШИМ,
- Задаёт направление счета (вверх/вниз) после синхронизации,

- Задаёт источник для выхода синхронизации с другими модулями: по внешнему входу синхронизации, при значении счётчика 0, при значении счётчика СМРВ, либо с выключенной опцией синхронизации,
- Задаёт состояние, в котором окажутся выходы при событии останова Блока ШИМ отладочным Эмулятором (JTAG).

Компаратор (СС)

- Управляет скважностью выходных сигналов на выводах EPWMxA и/или EPWMxB,
- Формирует фронты выходных сигналов на выводах EPWMxA или EPWMxB по заданным порогам срабатывания.

Обработчик событий (AQ):

- Определяет действие в случае срабатывания Компаратора, или событий внутри Таймера: Переключение выходного сигнала (вывод EPWMxA и/или EPWMxB) в состояние 1, Переключение выходного сигнала (вывод EPWMxA и/или EPWMxB) в состояние 0, Инверсия выходного сигнала (вывод EPWMxA и/или EPWMxB), Отсутствие действий.
- Программно задаёт состояние выходного сигнала (вывод EPWMxA и/или EPWMxB),
- Программно задаёт “Мертвое” время ШИМ.

Пороговый Выключатель (HD):

- По событию от Компаратора Блока АЦП переводит выходные сигналы ШИМ с Обработчика событий в определенное заданное пользователем состояние,
- Задаёт тип реакции на сигнал от компаратора: Переключение выходного сигнала (вывод EPWMxA и/или EPWMxB) в состояние 1, Переключение выходного сигнала (вывод EPWMxA и/или EPWMxB) в состояние 0, Переключение выходного сигнала (вывод EPWMxA и/или EPWMxB) в высокоимпедансное состояние, либо Бездействие.
- Удерживает выходные сигналы, пока существует событие с Компаратора Блока АЦП (ADCDC Trigger на Рис.4). При пропадании сигнала с компаратора возвращение управления Обработчику событий переходит при счётчике таймера равном нулю.
- Содержит маску источников срабатывания Блока (маска аналоговых компараторов).

Генератор Мертвого Времени ШИМ(DB)

- Контролирует мертвое время между верхним и нижним ключом транзисторной стойки,
- Задаёт задержку переднего фронта выходного сигнала,
- Задаёт задержку заднего фронта выходного сигнала,
- Может быть отключен (bypass).

Фильтр коротких импульсов (SF)

- Контролирует ширину импульса независимо для сигналов А и В.
- Задаёт минимальную ширину импульсов. Если зафиксирован импульс короче, чем

заданный, выходной сигнал после блока остается без изменений.

- Может быть отключен (bypass).

Модулятор (РС)

- Содержит генератор частоты модуляции,
- Задаёт ширину первого импульса модуляции,
- Задаёт скважность второго и последующих импульсов,
- Может быть отключен (bypass).

Детектор сигнала аварии (TZ)

- Содержит маску источников срабатывания детектора,
- Задаёт тип реакции на сигнал аварии: Переключение выходного сигнала (вывод EPWMxA и/или EPWMxB) в состояние 1, Переключение выходного сигнала (вывод EPWMxA и/или EPWMxB) в состояние 0, Переключение выходного сигнала (вывод EPWMxA и/или EPWMxB) в высокоимпедансное состояние, либо Бездействие.
- Задаёт периодичность реагирования на сигнал аварии: Однократно, либо в Периодическом режиме,
- Содержит источник прерывания по регистрации сигнала аварии,
- Может быть отключен (bypass).

Триггер событий (ET)

- Содержит источники прерываний по регистрации события,
- Разрешает генерировать внешний сигнал запуска Секвенсоров Блока АЦП по регистрации события,
- Содержит счетчик событий, которые активируют триггеры (каждое событие, каждое второе событие, или каждое третье),
- Позволяет опрашивать, устанавливать или сбрасывать состояние событий.

2. Таймер (ТВ).

Блок ШИМ содержит модуль Таймера, который состоит из счетчика с управлением и схемой синхронизации. Модуль Таймера формирует все события для работы других модулей Блока.

2.1 Назначение Таймера.

Модуль программируется:

- Настройка счетчика Таймера (ТВCTR) на требуемую частоту генерации событий,
- Управление синхронизацией с другими Блоками ШИМ,
- Управление фазовым сдвигом по сравнению с другими Блоками ШИМ,
- Задание работы счетчика: счет только вверх или вниз, либо вверх-вниз,

- Генерация событий для других модулей: $CTR=PRD$ (счетчик равен заданному периоду, $TBCTR=TBPDR$), а также $CTR=Zero$ (счетчик равен нулю, $TBCTR=0x0000$).
- Задание значения предварительного делителя системной частоты($SYSCLKOUT$) для работы счетчика (что позволяет счетчику считать медленнее).

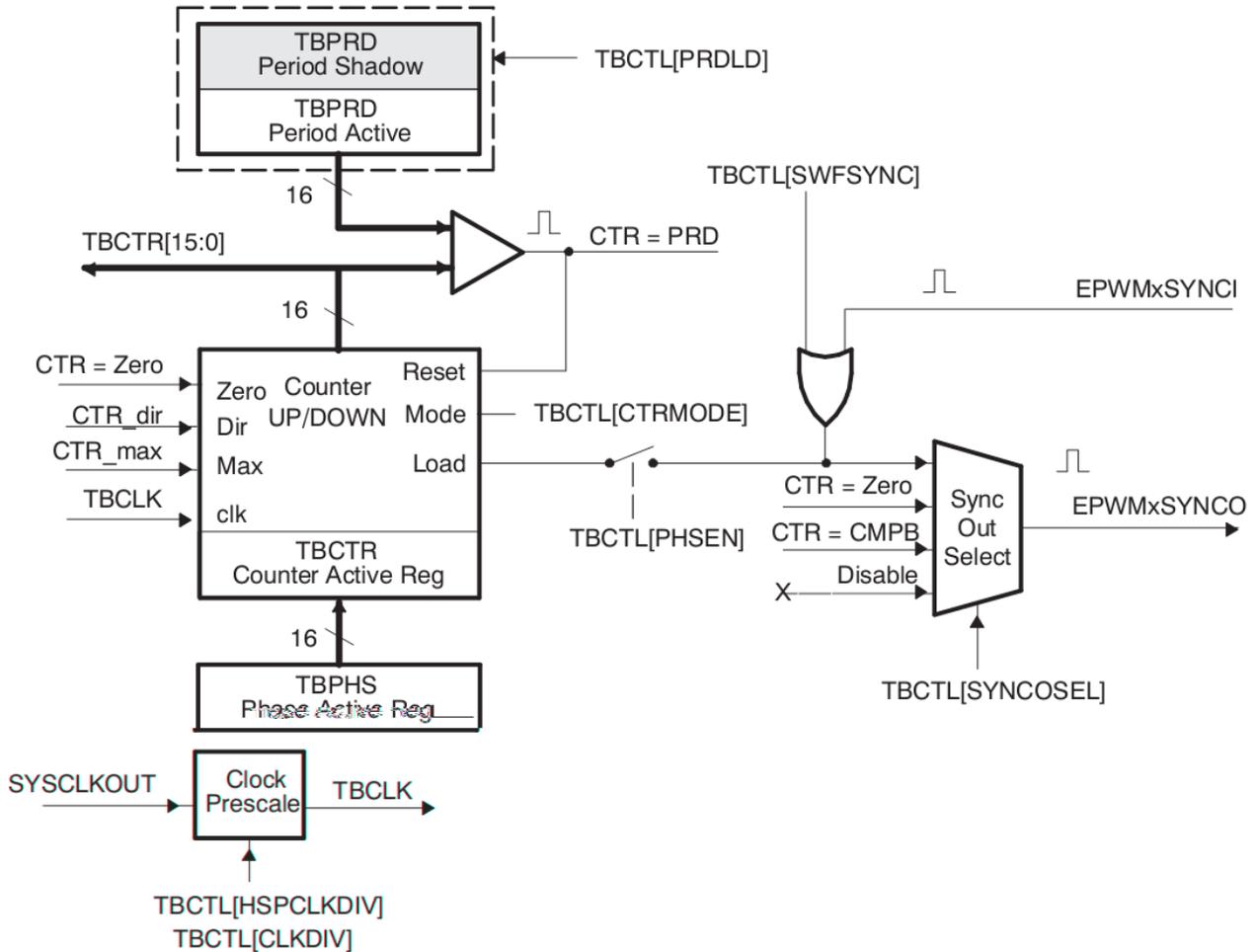


Рис.5 Структурная схема модуля Таймера

2.2 Описание сигналов модуля Таймера.

Входной сигнал EPWMxSYNCl:

- Вход синхронизации Таймера,
- Входной импульс синхронизирует внутренний счетчик модуля со счетчиком в предыдущем Блоке. Может использоваться или игнорироваться. В первый Блок ШИМ этот сигнал заходит с вывода Контроллера, в остальные Блоки ШИМ – от каждого предыдущего, по цепочке, показанной на рис 2.

Выходной сигнал EPWMxSYNCO:

- Выход синхронизации,
- Выходной импульс нужен для синхронизации последующего в цепочке Блока ШИМ. Генерация импульса может осуществляться по одному из трех событий: Получение

EPWMxSYNCl, CTR=Zero или CTR=CMPB.

Выходной сигнал CTR=PRD:

- Событие, когда ТВСТР=ТВPRD, где ТВPRD – период таймера (значение времени).

Выходной сигнал CTR=Zero:

- Событие, когда ТВСТР=0x0000.

Выходной сигнал CTR=CMPB:

- Событие, когда ТВСТР=CMPB, где CMPB – значение регистра срабатывания компаратора В. Этот сигнал может использоваться для выхода синхронизации с другими Блоками ШИМ.

Выходной сигнал CTR_dir:

- Отражает текущее значение направления счета (1 - счет вверх, 0 – счет вниз).

Выходной сигнал CTR_max:

- Событие, когда ТВСТР=0xffff. Используется только как флаг.

Выходной сигнал ТВCLK:

- Входная частота для всех модулей Блока, полученная путем деления системной частоты.

2.3 Вычисление периода и Частоты ШИМ.

Частота событий ШИМ программируется регистром максимального значения Таймера (ТВPRD) и режимом работы счетчика.

Счетчик может работать в трех режимах, настраиваемых регистром Управления Таймером (ТВCTL):

- Счет Вверх(от 0x0000 до ТВPRD, затем сброс в 0x0000 и т.д.),
- Счет Вниз (от ТВPRD до 0x0000, затем сброс в ТВPRD и т.д.),
- Счет Вверх-Вниз (от 0x0000 до ТВPRD, затем от ТВPRD до 0x0000 и т.д.).

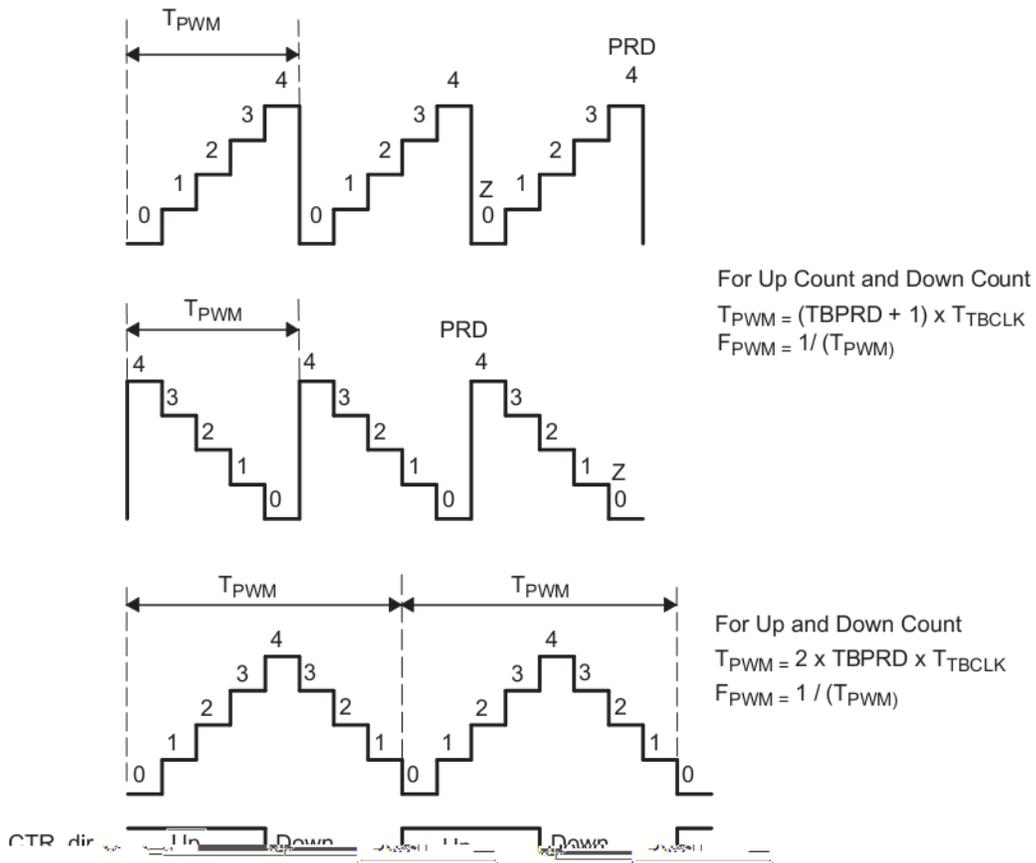


Рис.6 Режимы работы счетчика

2.3.1 Регистр Отложенной загрузки периода ШИМ.

Регистр TBPRD состоит из регистра отложенной загрузки и активного регистра:

- Активный регистр: регистр, который непосредственно участвует в работе оборудования
- Отложенный регистр загрузки – буферный регистр, содержащий значение для обновления Активного регистра. Обновление Активного регистра значением из Отложенного регистра загрузки происходит строго по аппаратному событию обновления, задаваемому пользователем.

Отложенный регистр загрузки имеет то же смещение в памяти что и Активный регистр. Выбор режима записи в регистр TBPRD (Активный или Отложенный) определяет бит TBCTL[PRDL D].

Запись в TBPRD производится двумя способами:

- В режиме Отложенной загрузки (бит TBCTL[PRDL D] = 0): Запись/чтение производятся в Отложенный регистр загрузки TBPRD. Загрузка Активного регистра TBPRD производится значением Отложенного регистра загрузки TBPRD по событию CTR=Zero (TBCTR = 0x0000). По-умолчанию режим Отложенной загрузки в TBPRD разрешен.
- В режиме Мгновенной загрузки (бит TBCTL[PRDL D] = 1): Запись/чтение

производятся напрямую в Активный регистр TBPRD.

2.3.2 Синхронизация внутренней частоты Блоков ШИМ.

Специальный бит TBCLKSYNC в регистре разрешения тактирующего сигнала позволяет осуществить глобальную синхронизацию частоты TBCLK для всех Блоков ШИМ, в которых разрешена синхронизация. При установке этого бита, предварительные делители частот TBCLK во всех синхронизируемых Блоках сбрасываются в 0.

Порядок синхронизации тактового сигнала Блоков ШИМ должен быть следующим:

- Разрешить Тактирование Блока ШИМ в регистрах контроллера,
- Установить TBCLKSYNC = 0,
- Сконфигурировать Блоки ШИМ,
- Установить TBCLKSYNC = 1.

2.3.3 Синхронизация Таймеров.

Система синхронизации Таймеров включает в себя таймеры всех Блоков ШИМ. Каждый Блок ШИМ имеет вход синхронизации EPWMxSYNCl и выход синхронизации EPWMxSYNCO. Вход синхронизации первого блока управляется с вывода Контроллера, а все остальные блоки подключены последовательно по цепочке, с возможностью дробления на три домена (см. рис 2.) При этом, каждый Блок ШИМ может работать выделено, не используя синхронизацию.

Если регистр TBCTL[PHSEN] = 1, то в счетчик Таймера будет автоматически загружаться значение регистра TBPHS, при выполнении каждого из условий:

- Изменение входного сигнала EPWMxSYNCl: в этом случае, загрузка значения TBPHS в регистр TBCTR происходит на следующий такт TBCLK после поступления импульса на вход EPWMxSYNCl. Задержка составит 2 системных такта, если (TBCLK = SYSCLKOUT) или один такт TBCLK (если TBCLK != SYSCLKOUT).
- Программная синхронизация: Запись 1 в регистр TBCTL[SWFSYNC] инициирует Программную синхронизацию, которая сгенерирует импульс синхронизации, аналогичный импульсу с входа EPWMxSYNCl.

В режиме счета Вверх-Вниз необходимо также запрограммировать регистр TBCTL[PSHDIR], чтобы задать направление счета Таймера после синхронизации.

При значении регистра TBCTL[PHSEN]=0 Блок ШИМ игнорирует синхронизационные воздействия, но может пропускать входной импульс синхронизации EPWMxSYNCl на выход EPWMxSYNCO, чтобы другие модули могли участвовать в синхронизации.

2.3.4 Режимы работы счетчика Таймера.

Счетчик таймера работает в одном из следующих режимов:

- Счет Вверх (асимметричный),
- Счет Вниз (асимметричный),

- Счет Вверх-Вниз (симметричный),
- Хранение значения (не считает).

3 Компаратор.

Компаратор – это модуль, сравнивающий значение счетчика Таймера с заданными порогами срабатывания.

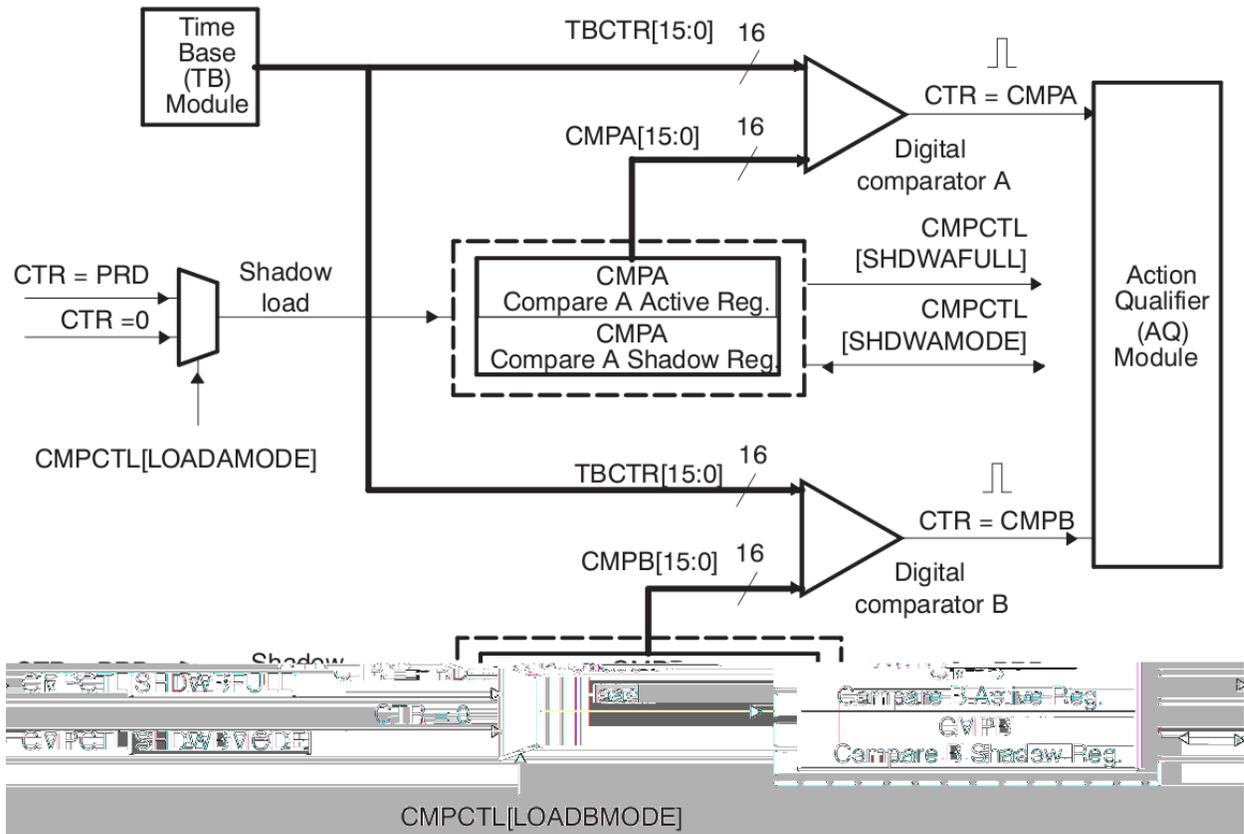


Рис.7 Структурная схема модуля Компаратора

3.1 Назначение.

На один вход компаратора поступает значение с счетчика Таймера. Порогами срабатывания являются содержимое регистров CMPA и CMPB. Когда значение счета и порога совпадают, генерируются выходные события:

- CTR=CMPA: когда срабатывает компаратор значений (TBCTR=CMPA),
- CTR=CMPB: когда срабатывает компаратор значений (TBCTR=CMPB).

Компаратор может также регулировать скважность выходного сигнала, если Обработчик событий запрограммирован соответствующим образом.

Чтобы не нарушить работу текущего периода ШИМ, регистры порогов срабатывания CMPA/CMPB используют режим Отложенной загрузки.

3.2 Управление Компаратором.

Компаратор управляется с помощью регистров:

- CMPCTL – регистр управления,
- CMPA – регистр порога срабатывания А,
- CMPANR –регистр CMPA для Блока ШИМ Высокого разрешения,
- CMPB – регистр порога срабатывания В.

3.3 Работа Компаратора.

Компаратор формирует выходные события:

- CTR=CMPA: когда счетчик таймера равен порогу срабатывания А (ТВCTR=CMPA),
- CTR=CMPB: когда счетчик таймера равен порогу срабатывания В (ТВCTR=CMPB).

При счете Вверх или счете Вниз, каждое из этих событий возникает только один раз за период. При счете Вверх-вниз, каждое из этих событий возникает два раза за период, если значение сравнения лежит в диапазоне 0x0000-TBPRD, и один раз за период, если значение для сравнения равно 0x0000 или TBPRD.

Эти события поступают на вход Обработчика Событий.

Оба регистра порогов срабатывания CMPA и CMPB имеют собственные Отложенные регистры загрузки. Отложенная загрузка необходима для предотвращения нарушения воспроизведения сигналов на периоде ШИМ при асинхронном присвоении новых значений CMPA/В программой пользователя. Когда пользователь присваивает новые значения порогам срабатывания, эти значения попадают в регистры Отложенной загрузки, и только затем по заданному пользователем событию переносятся в Активные регистры. Адреса Отложенных регистров загрузки такие же, как и CMPA/В. Разрешение Отложенной загрузки для CMPA и CMPB производится соответственно через регистры CMPCTL[SHDWAMODE] и CMPCTL[SHDWBMODE]. По-умолчанию отложенная загрузка разрешена.

Загрузка содержимого Отложенного регистра в Активный регистр происходит по следующим событиям:

- CTR=PRD: когда срабатывает компаратор значений (ТВCTR=TBPRD),
- CTR=Zero: когда срабатывает компаратор значений (ТВCTR=0x0000),
- По обоим событиям CTR = PRD или CTR = Zero.

В работе Компаратора используются только Активные значения регистров CMPA/CMPB.

3.4 Временные диаграммы.

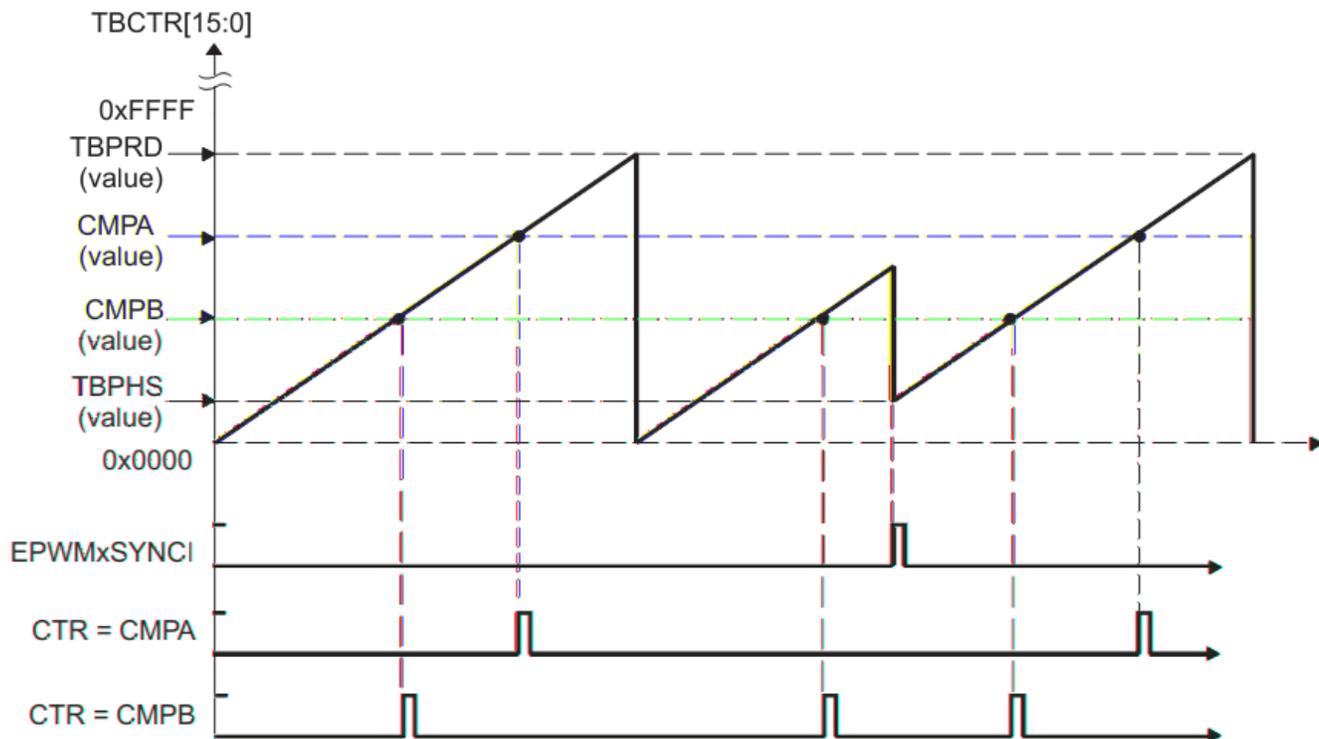


Рис.8 Диаграмма работы при счете Вверх

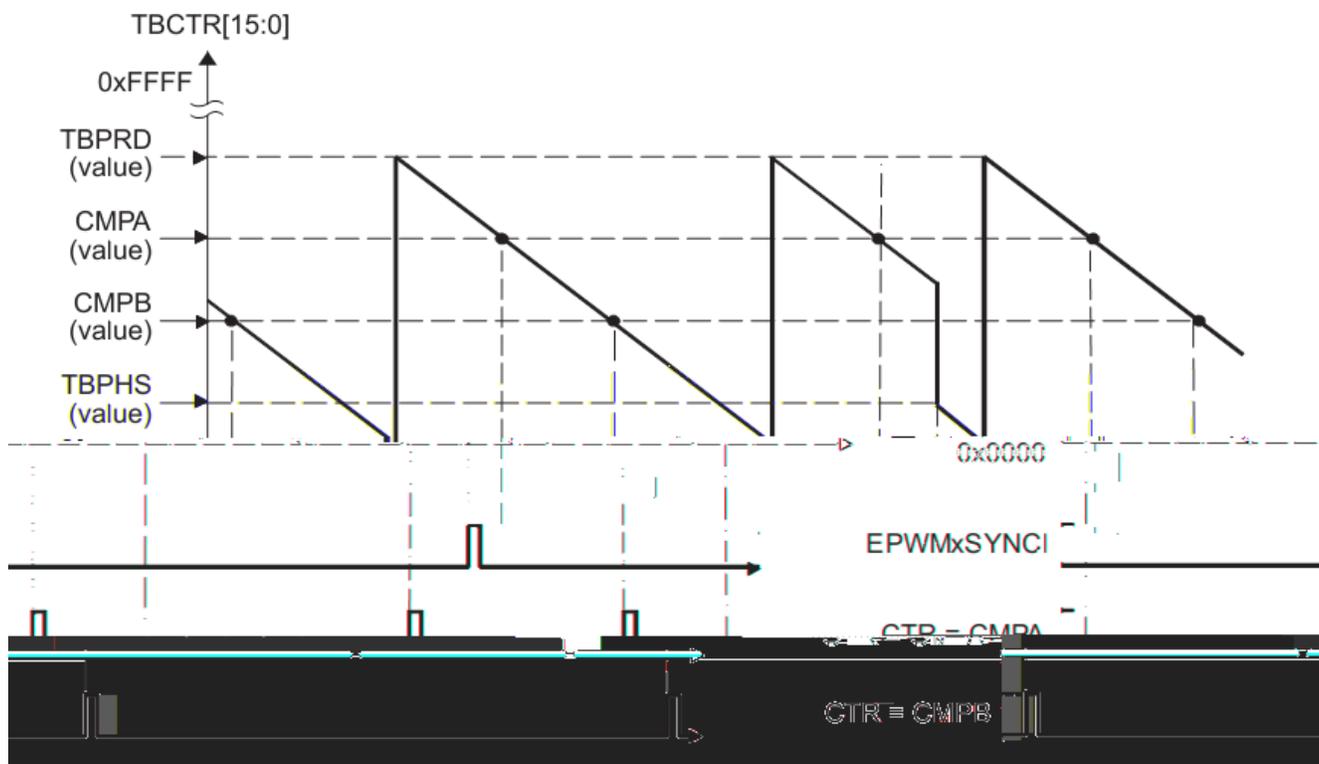


Рис.9 Диаграмма работы при счете Вниз

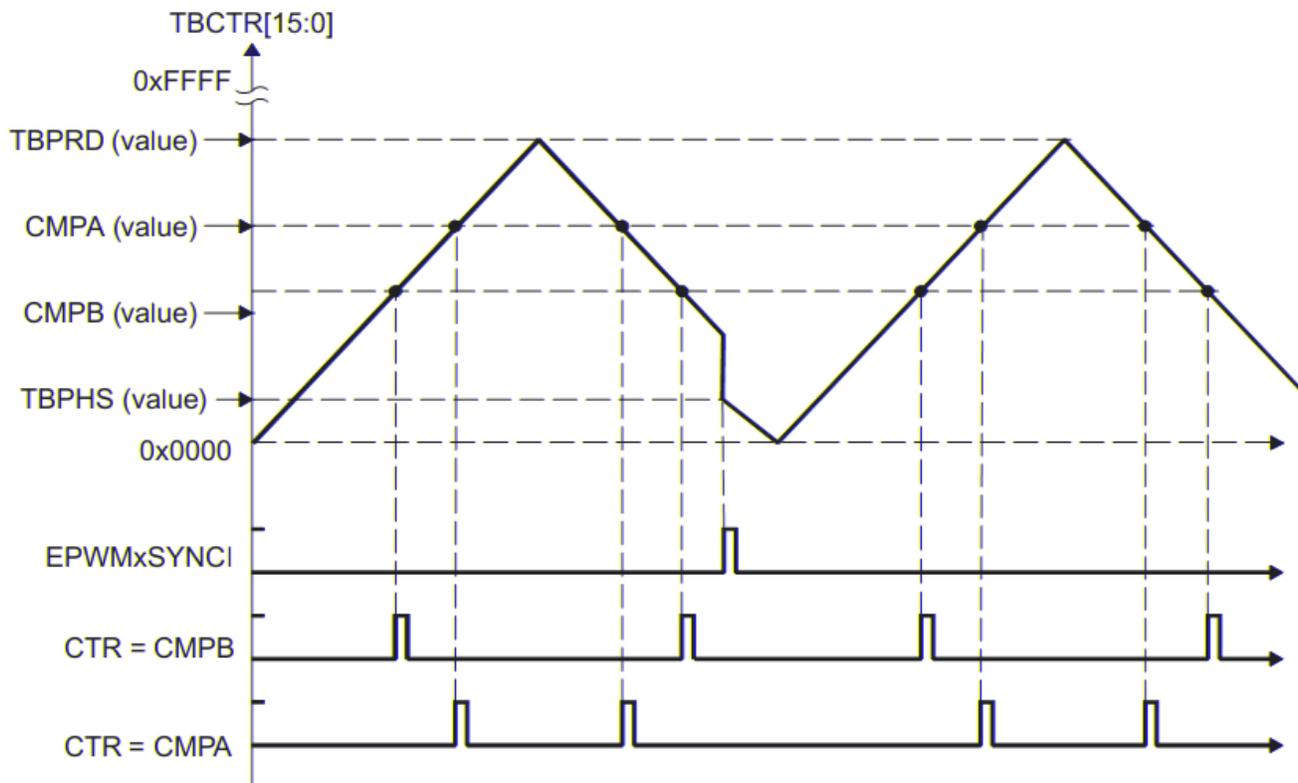


Рис.10 Диаграмма работы при счете Вверх-Вниз. Синхронизация при счете Вниз.

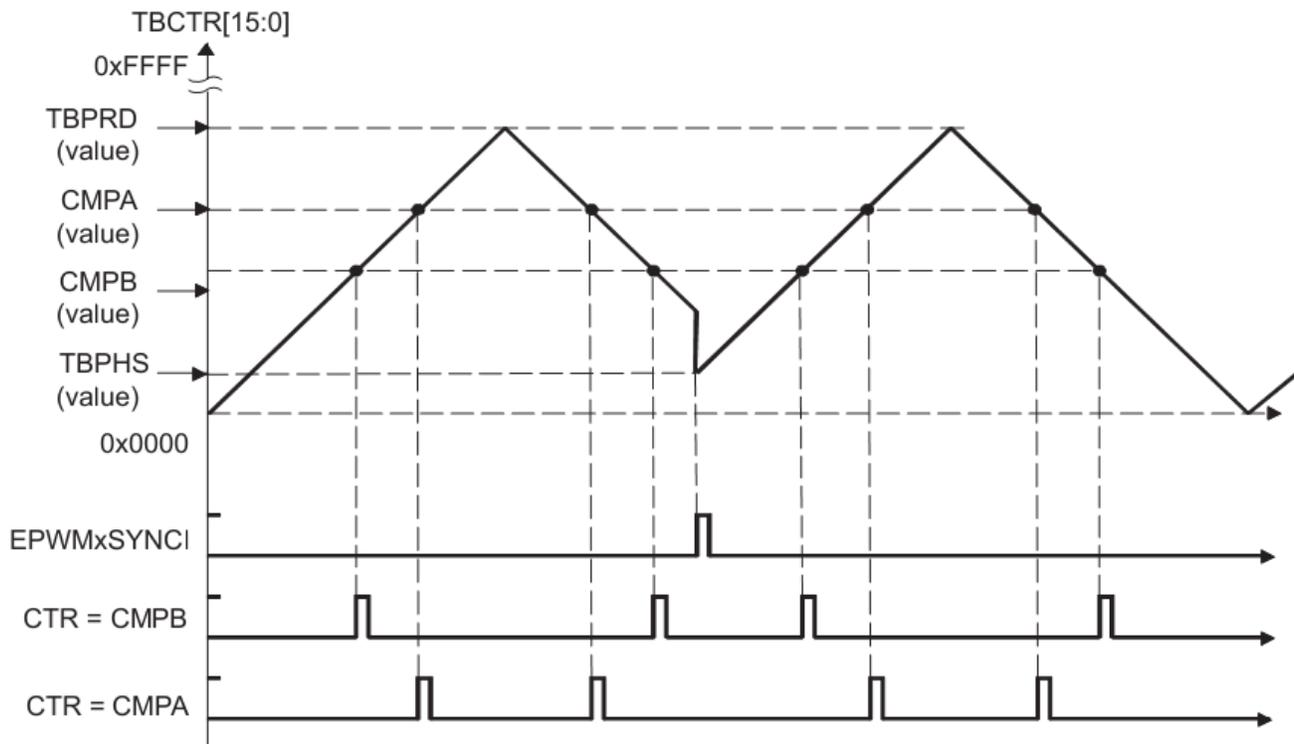


Рис.11 Диаграмма работы при счете Вверх-Вниз. Синхронизация при счете Вверх.

4 Обработчик событий.

Обработчик событий формирует выходные сигналы EPWMA и EPWMB для генерации ШИМ в зависимости от входных событий.

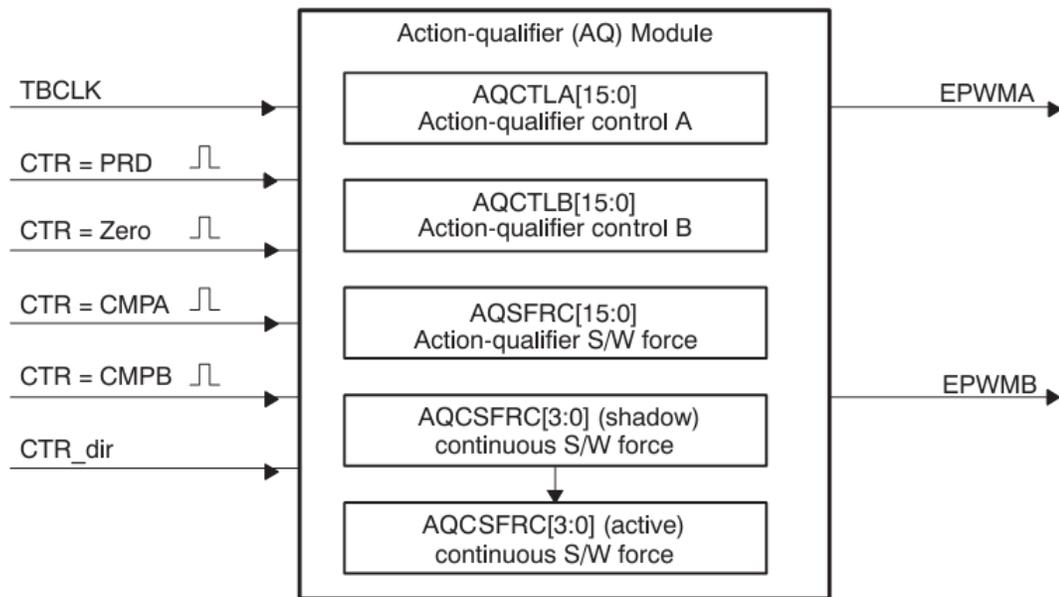


Рис.12 Структурная схема Обработчика событий

4.1 Назначение Обработчика Событий.

Обработчик событий обрабатывает следующие входные сигналы:

- CTR=PRD: импульс по событию, когда счетчик таймера равен периоду (TBCTR=TBPRD),
- CTR=Zero: импульс по событию, когда счетчик таймера равен нулю (TBCTR=0x0000),
- CTR=CMPA: импульс по событию, когда счетчик таймера равен порогу срабатывания A (TBCTR=CMPA),
- CTR=CMPB: импульс по событию, когда счетчик таймера равен порогу срабатывания B (TBCTR=CMPB).

Обработчик событий имеет систему приоритетов указанных событий, а также предоставляет раздельное управление для счета Таймера Вверх и Вниз.

4.2 Управление Обработчиком Событий.

Управление производится с помощью регистров:

- AQCTLA – регистр управления выхода A (сигнал EPWMA),
- AQCTLB – регистр управления выхода B (сигнал EPWMB),
- AQSFRC – регистр однократного программного управления,
- AQCSFRC – регистр циклического программного управления.

Формирование модулем выходных сигналов ШИМ производится либо аппаратно на основе событий, либо программно.

Обработчик событий определяет поведение выходов ШИМ для каждого из событий. Возможные варианты управления выходами ШИМ:

- Установить выходной сигнал в 1,
- Установить выходной сигнал в 0,
- Инвертировать выходной сигнал,
- Не менять выходной сигнал.

Даже если выходной сигнал не меняется, по событию может быть сформирован внешний синхроимпульс для запуска Секвенсоров Блока АЦП.

Поведение сигналов EPWMA и EPWMB задается независимо друг от друга, при этом могут быть задействованы все, или только некоторые из событий. К примеру, за формирование выхода EPWMB могут отвечать как $CTR = CMPA$ так и $CTR = CMPB$. Также учитывается направление счета.

S/W force	TB Counter equals:				Actions
	Zero	Comp A	Comp B	Period	
SW X	Z X	CA X	CB X	P X	Do Nothing
SW ↓	Z ↓	CA ↓	CB ↓	P ↓	Clear Low
SW ↑	Z ↑	CA ↑	CB ↑	P ↑	Set High
SW T	Z T	CA T	CB T	P T	Toggle

Рис.13 Таблица формирования фронтов сигналов EPWMA и EPWMB.

4.3 Приоритет Событий.

Существует вероятность, что несколько событий могут произойти одновременно. Для однозначности действий в этой ситуации Обработчик событий использует систему приоритетов событий. Существует три таблицы приоритетов, для трех режимов счета:

Таблица приоритетов для режима счета Вверх-Вниз:

1. (Самый высокий приоритет): Событие программного управления (AQSFRC и AQCSFRC)
2. Событие $CTR=CMPB$ (счет Вверх) при счете Вверх или $CTR=CMPB$ (счет Вниз) при счете Вниз,
3. Событие $CTR=CMPA$ (счет Вверх) при счете Вверх или $CTR=CMPA$ (счет Вниз) при

счете Вниз,

4. Событие $CTR=Zero$ или событие $CTL=PRD$,
5. Событие $CTR=СМРВ$ (счет Вверх) при счете Вниз или $CTR=СМРВ$ (счет Вниз) при счете Вверх ,
6. Событие $CTR=СМРА$ (счет Вверх) при счете Вниз или $CTR=СМРА$ (счет Вниз) при счете Вверх,

Таблица приоритетов для режима счета Вверх:

1. (Самый высокий приоритет): Событие программного управления (AQSFRС и AQCSFRС)
2. Событие $CTR=ТВРРD$,
3. Событие $CTR=СМРВ$ (счет Вверх) при счете Вверх,
4. Событие $CTR=СМРА$ (счет Вверх) при счете Вверх,

Таблица приоритетов для режима счета Вниз:

1. (Самый высокий приоритет): Событие программного управления (AQSFRС и AQCSFRС)
2. Событие $CTR=Zero$,
3. Событие $CTR=СМРВ$ (счет Вниз) при счете Вниз,
4. Событие $CTR=СМРА$ (счет Вниз) при счете Вниз.

В режиме счета Вверх:

Если компаратор запрограммирован так, что $СМРА(СМРВ) \leq ТВРРD$ (счет Вверх), то событие произойдет при $ТВСТR = СМРА(СМРВ)$. Если компаратор запрограммирован так, что $СМРА(СМРВ) > ТВРРD$ (счет Вверх), то события не произойдет. Так же, если компаратор запрограммирован на срабатывание при счете Вниз, то события также не произойдут.

В режиме счета Вниз:

Если компаратор запрограммирован так, что $СМРА(СМРВ) < ТВРРD$ (счет Вниз), то событие произойдет при $ТВСТR = СМРА(СМРВ)$. Если компаратор запрограммирован так, что $СМРА(СМРВ) \geq ТВРРD$ (счет Вниз), то событие также произойдет при $ТВСТR = ТВРРD$. Так же, если компаратор запрограммирован на срабатывание при счете Вверх, то события не произойдут.

В режиме счета Вверх-Вниз:

Если счетчик считает Вверх, а компаратор запрограммирован так, что $СМРА(СМРВ) < ТВРРD$ (счет Вверх), то событие произойдет при $ТВСТR = СМРА(СМРВ)$. Если $СМРА(СМРВ) \geq ТВРРD$ (счет Вверх), событие произойдет при $ТВСТR = ТВРРD$.

Если счетчик считает Вниз, а компаратор запрограммирован так, что $СМРА(СМРВ) < ТВРРD$ (счет Вниз), то событие произойдет при $ТВСТR = СМРА(СМРВ)$. Если $СМРА(СМРВ) \geq ТВРРD$ (счет Вверх), событие также произойдет при $ТВСТR = ТВРРD$.

4.4 Временные диаграммы.

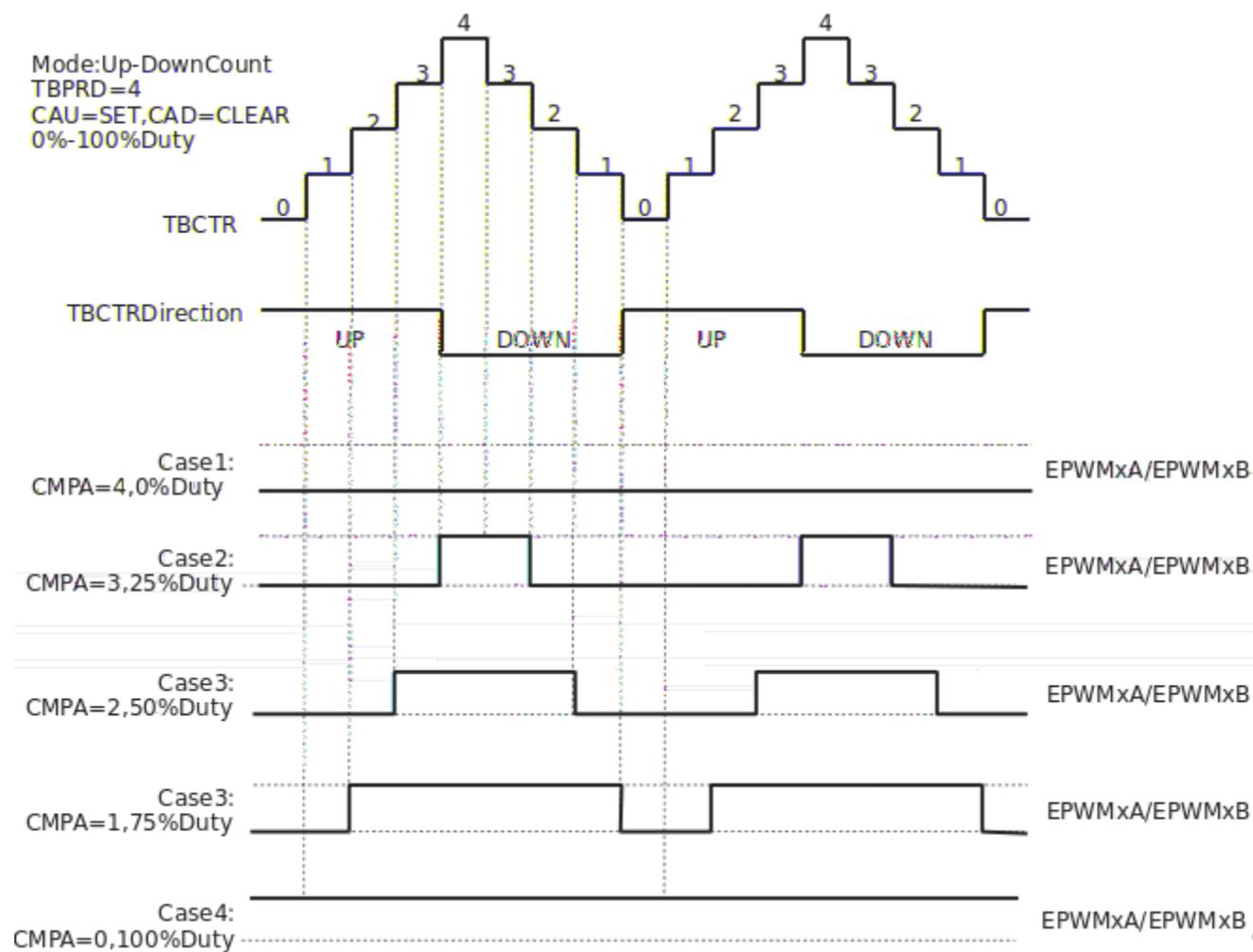


Рис.14 Работа Таймера при счете Вверх-Вниз с симметричным выходом (центрированная модуляция)

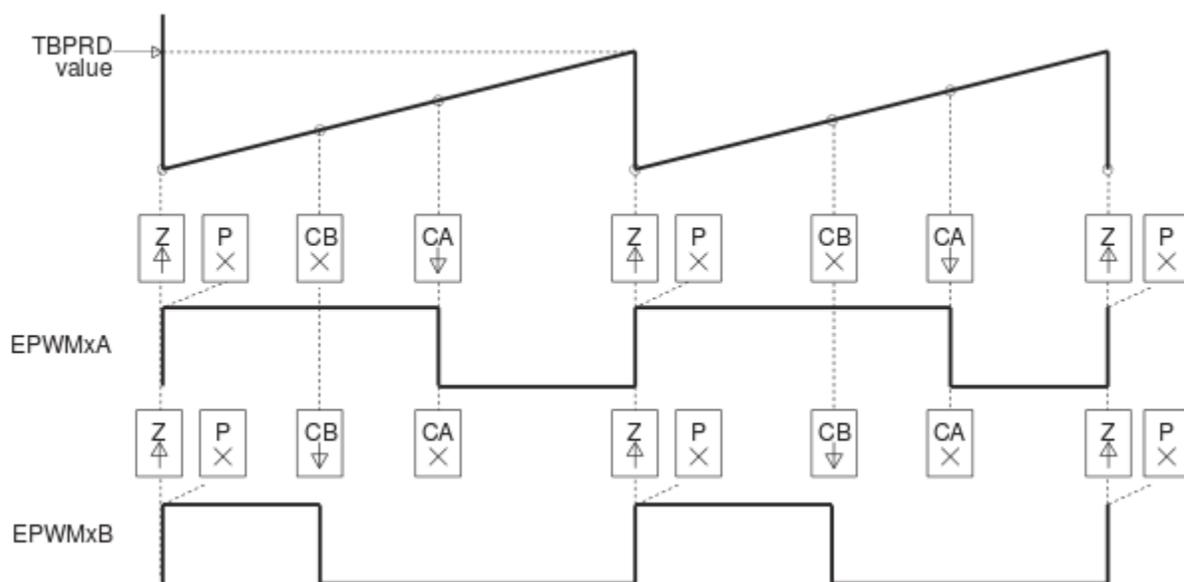


Рис.15 Независимый режим работы выходов (фронтальная модуляция)

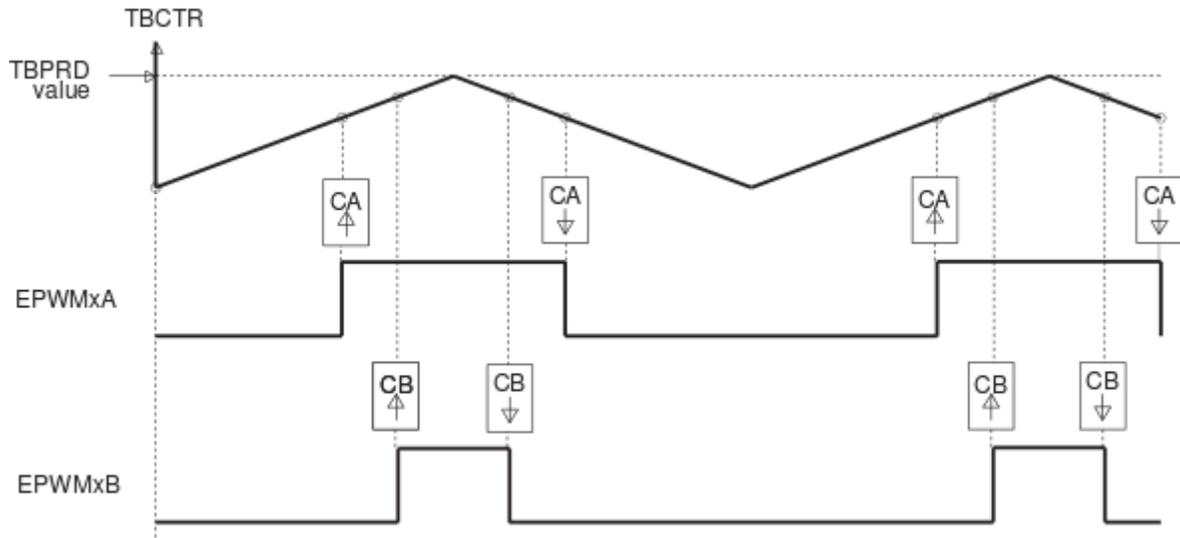


Рис.16 Симметричный режим работы при счете Вверх-Вниз (центрированная модуляция)

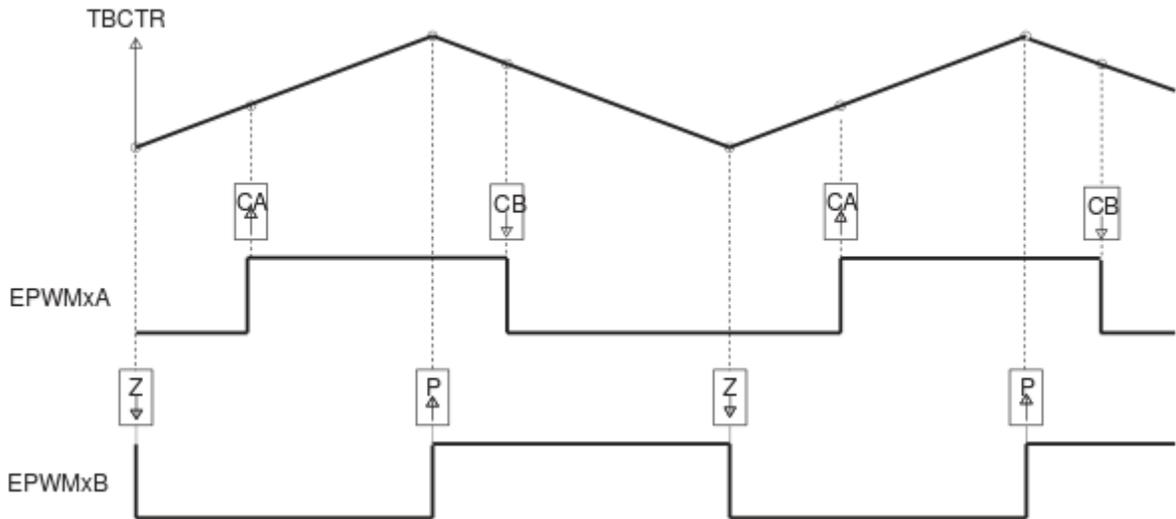


Рис.17 Ассимметричный режим работы при счете Вверх-Вниз

5 Пороговый Выключатель (HD).

Пороговый Выключатель контролирует выходные сигналы EPWMA и EPWMB Обработчика событий, и позволяет удерживать их в определенном заданном пользователем состоянии в случае прихода сигнала триггера от Цифровых Компараторов Блока АЦП. Этот блок удобен для организации релейного поддержания заданного уровня какой-либо физической величины, например для организации контура тока. В этом случае Цифровой Компаратор, к каналу АЦП которого подключен сигнал датчика тока контура, формирует сигнал о превышении током задания, а соответствующий Пороговый Выключатель реагирует на это превышение и включает/отключает соответствующий силовой транзистор посредством влияния на ШИМ ВЫХОД.

5.1 Назначение Порогового Выключателя.

Основные функции Порогового Выключателя:

- Входные события от Компараторов Блока АЦП могут использоваться всеми Блоками ШИМ,
- При регистрации события от Компаратора Блока АЦП, выходные сигналы Обработчика событий могут быть переведены в: Состояние 1, Состояние 0, либо оставлены без изменения,
- Поддерживается однократное срабатывание для удержания выхода,
- Поддерживается циклическое срабатывание для удержания выхода,
- Входное событие от Компаратора Блока АЦП может анализироваться в однократном и циклическом режимах,
- Событие срабатывания Компаратора Блока АЦП может быть также быть сгенерировано программно,
- Пороговый Выключатель может быть отключен, если он не требуется.

5.2 Управление Пороговым Выключателем.

Пороговый Выключатель программируется с помощью регистров:

- HDSEL – регистр выбора источника события удержания (выбор одного из Цифровых Компараторов Блока АЦП),
- HDCTL – регистр управления Пороговым Выключателем,
- HDFRC- регистр программной активации Порогового Выключателя.

5.3 Работа Порогового Выключателя.

Когда выходные сигналы Компараторов Блока АЦП переходят в состояние высокого уровня, формируется событие. Каждый Пороговый Выключатель блока ШИМ может использовать, а может не использовать эти события в своей работе; выбор, по сигналу какого Компаратора Блока АЦП формировать событие удержания, производится с помощью регистра HDSEL. Длительность импульса на входном сигнале от Компаратора Блока АЦП не должна быть меньше периода системного клоака. Каждый входной сигнал от Компаратора Блока АЦП должен быть настроен на однократное или циклическое формирование события, выбор режима задается битами HDSEL[CBC] и HDSEL[OSHT], а источник события в регистре HDSEL[CMR].

Циклическая обработка событий от Компаратора Блока АЦП:

При получении события от Компаратора Блока АЦП в режиме циклической обработки немедленно формируется реакция на основе содержимого регистра HDCTL, в результате чего меняется состояние сигналов на выходе Порогового Выключателя взамен полученных от Обработчика событий А и/или В на заданное пользователем в регистре HDCTL. Дополнительно устанавливается флаг в регистре HDFLG[CBC], и генерируется прерывание EPWMx_HDINT (если стоит соответствующая маска в регистрах HDEINT и контроллера прерываний). Удержание выходных сигналов А и В заканчивается по событию TVCTR = 0x0000, при условии, что событие Компаратора Блока АЦП более неактивно. Таким образом, в режиме циклической

обработки состояние удержания сбрасывается в каждом периоде ШИМ. При этом флаг HDFLG[CBC] остается активным вплоть до принудительного сброса (Программно). Если после сброса регистра HDFLG[CBC] вновь будет получено событие Компаратора Блока АЦП, то флаг вновь станет активным.

При получении события Компаратора Блока АЦП в режиме однократной обработки, также немедленно формируется реакция на основе содержимого регистра HDCTL, которая меняет состояние выходных сигналов А и/или В. В дополнение, устанавливается флаг в регистре HDFLG[OST], и генерируется прерывание EPWMx_HDINT (если стоит соответствующая маска в регистрах HDEINT и NVIC). Удержание выходных сигналов будет производиться вплоть до принудительного сброса записью в регистр HDCLR[OST].

Способ удержания выходных сигналов при получении события Компаратора Блока АЦП программируется индивидуально для выходных сигналов А и В в регистрах HDCTL[HDA] и HDCTL[HDB], и может принимать следующие значения:

- 00 - Зарезервировано.
- 01 - Перевод выходного сигнала в состояние 1,
- 10 - Перевод выходного сигнала в состояние 0,
- 11 - Оставить выходной сигнал без изменений.

6 Генератор Мертвого Времени ШИМ (DB).

Генератор Мертвого Времени ШИМ имеет на входе сигналы ШИМ А и В с выхода Обработчика событий, а по выходу повторяет эти сигналы, но со вставкой мертвого времени в момент переключения сигналов (если требуется).

6.1 Назначение Генератора Мертвого Времени ШИМ.

Мертвое время можно учесть, программируя Обработчик событий, но чтобы защититься от ошибок, желательно использовать Генератор Мертвого Времени ШИМ. Основные функции генератора:

- Генерация пары сигналов (EPWMxA и EPWMxB), с выдержкой интервалов мертвого времени относительно сигнала EPWMxA,
- Программирование интервала мертвого времени для значений: Активной “1” или Активного “0”, для обоих каналов А и В.
- Добавление программируемой задержки переднего фронта сигналов,
- Добавление программируемой задержки для заднего фронта сигналов,
- Может пропускать сигнал с входа на выход без внесения изменений.

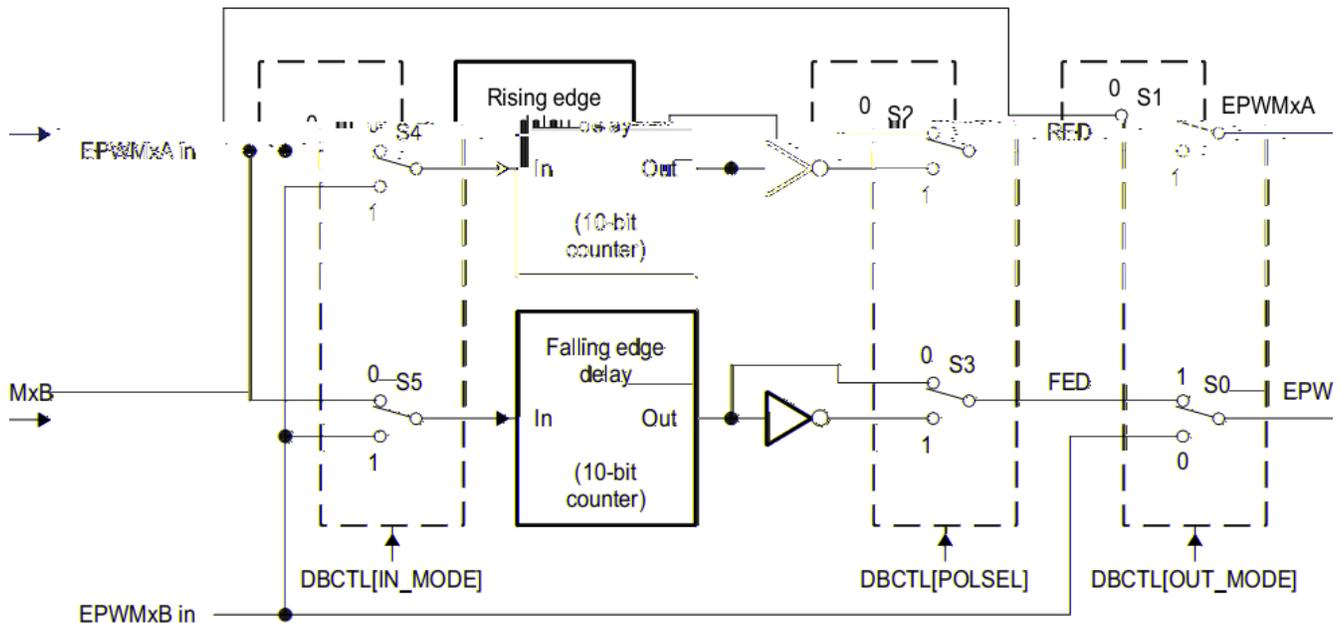


Рис.18 Структурная схема Генератора Мертвого Времени ШИМ

6.2 Управление Генератором Мертвого Времени.

Генератор Мертвого Времени ШИМ управляется с помощью следующих регистров:

- DBCTL – регистр Управления мертвым временем,
- DBRED – регистр Задержки переднего фронта сигнала,
- DBFED – регистр Задержки заднего фронта сигнала.

6.3 Работа Генератора Мертвого Времени ШИМ.

Генератор Мертвого Времени ШИМ может работать со следующими источниками на входе (программируется в регистре DBCTL[IN_MODE]):

- EPWMxA в качестве источника по обоим фронтам. Это режим по умолчанию.
- EPWMxA в качестве источника по заднему фронту и EPWMxB в качестве источника по переднему фронту,
- EPWMxA в качестве источника по переднему фронту и EPWMxB в качестве источника по заднему фронту,
- EPWMxB в качестве источника по обоим фронтам.

Генератор Мертвого Времени ШИМ программируется регистром DBCTL[OUT_MODE] для определения воздействия на сигнал. Регистр определяет внесение задержек к входному сигналу: по обоим фронтам, только по переднему фронту, только по заднему фронту, или в режиме без задержек.

Регистр DBCTL[POLSEL] позволяет задать инверсию сигнала после внесения задержки по переднему и/или заднему фронту.

Значения задержки по переднему и заднему фронту программируются отдельно: для этого используются регистры DBFED и DBRED. Значения регистров содержат задержку в периодах тактового импульса TBCLK (деленного системного клона).

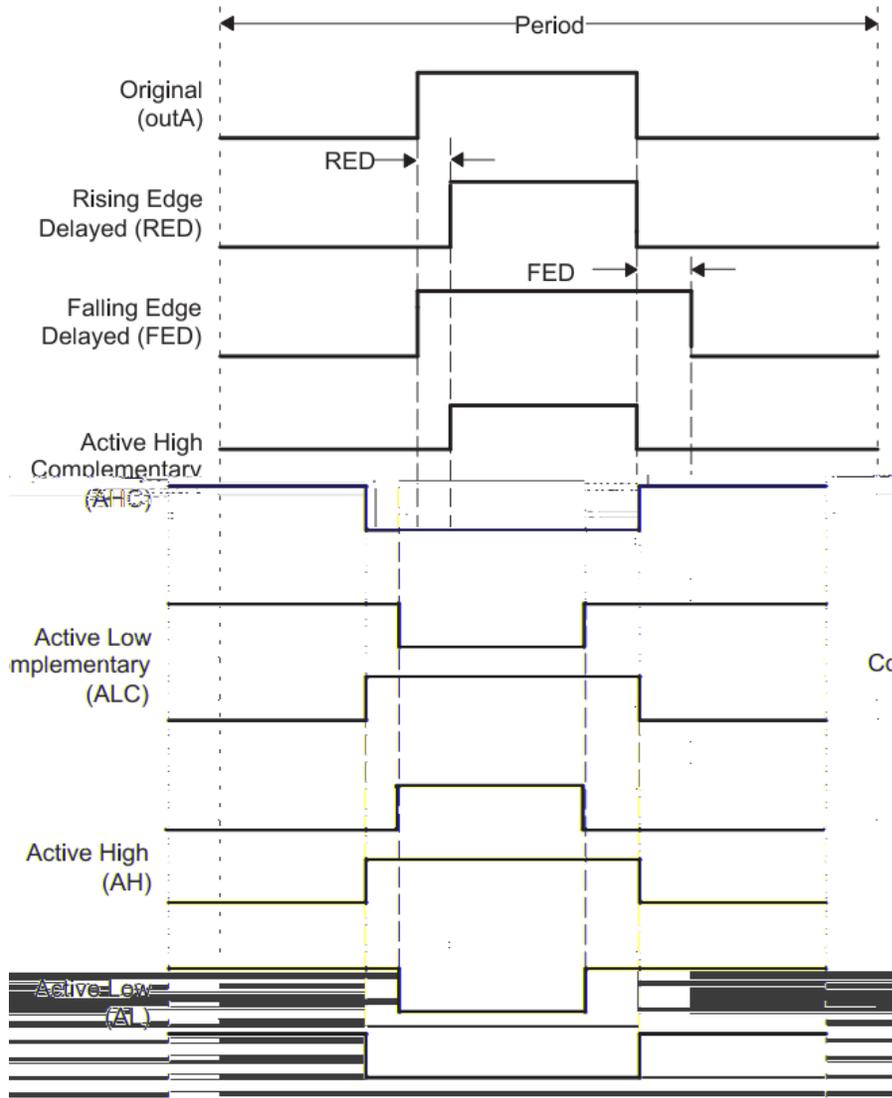


Рис 19. Временные диаграммы работы Генератора Мертвого Времени в типовой конфигурации

7 Фильтр коротких импульсов (SF).

Фильтр коротких импульсов предназначен для блокирования прохождения на выход импульсов с длительностью меньше заданной. Этот блок может применяться, если драйвер силового ключа инвертора не имеет такой функции, а для обеспечения правильного режима работы транзистора необходимо запретить открытие/закрытие транзистора на очень короткие времена.

7.1 Назначение Фильтра.

Основные функции Фильтра:

- Программируемая ширина минимального пропускаемого импульса,
- Может быть отключен (bypass).

7.2 Управление Фильтром.

Ширина минимального импульса, допускаемого к прохождению на выход, задается в регистре FWDTH и может принимать значение от 0x0 (фильтр выключен) до 0xF (фильтрация импульсов менее 25.6 мкс).

7.3 Работа Фильтра.

Фильтр представляет собой две независимые линии задержки для каналов ШИМ А и В с параметром FWDTH. Импульсы меньшей длительности пропускаться не будут.

8 Модулятор (РС).

Модулятор позволяет модулировать выходной ШИМ сигнал с помощью высокочастотных импульсов программируемой скважности. Модулирование требуется для управления силовыми ключами через импульсный трансформатор.

8.1 Назначение Модулятора.

Основные функции Модулятора:

- Программируемая частота,
- Программируемая ширина первого импульса,
- Программируемая скважность второго и последующего импульсов,
- Может быть отключен (bypass).

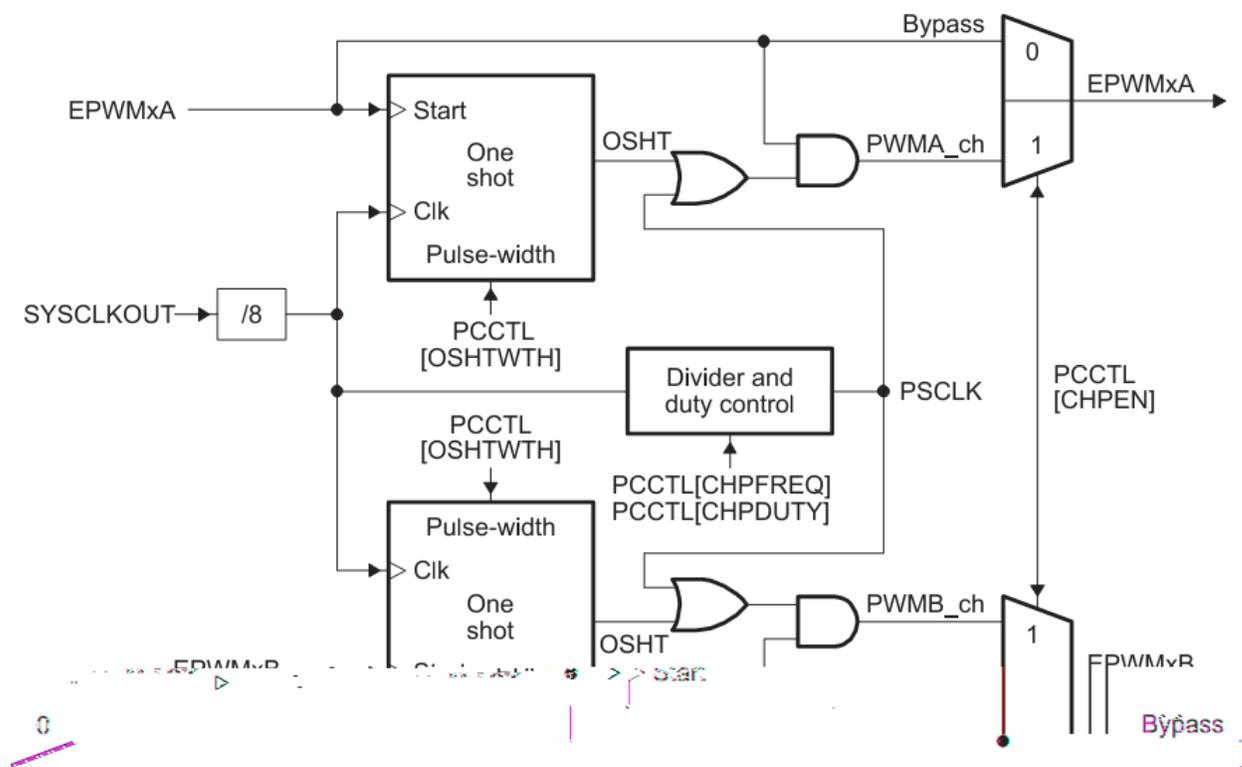


Рис.20 Структурная схема Модулятора

8.2 Управление Модулятором.

Модулятор программируется с помощью регистра Управления (PCCTL).

8.3 Работа Модулятора.

Ширина первого импульса отдельно программируется с помощью регистра OSHTWTH, это требуется для отпириания ключа. Для остальных импульсов частота модуляции получается из системной частоты при помощи делителя, программируемого в регистре CHPFREQ, а скважность программируется в регистре CHPDUTY. Модуль может быть отключен с помощью бита CHPEN.

Значение регистра OSHTWTH лежит в диапазоне от 0x0 до 0xF, что дает ширину первого импульса, равную

$$L = T * 8 * (OSHTWTH + 1), \text{ где } T - \text{ период системного такта.}$$

Скважность последующих импульсов программируется регистром CHPDUTY, который может принимать значения от 0x0 до 0x7, что дает скважность, равную

$$D = (100 / 8) * (CHPDUTY + 1), \text{ т.е. с шагом } 12.5\%.$$

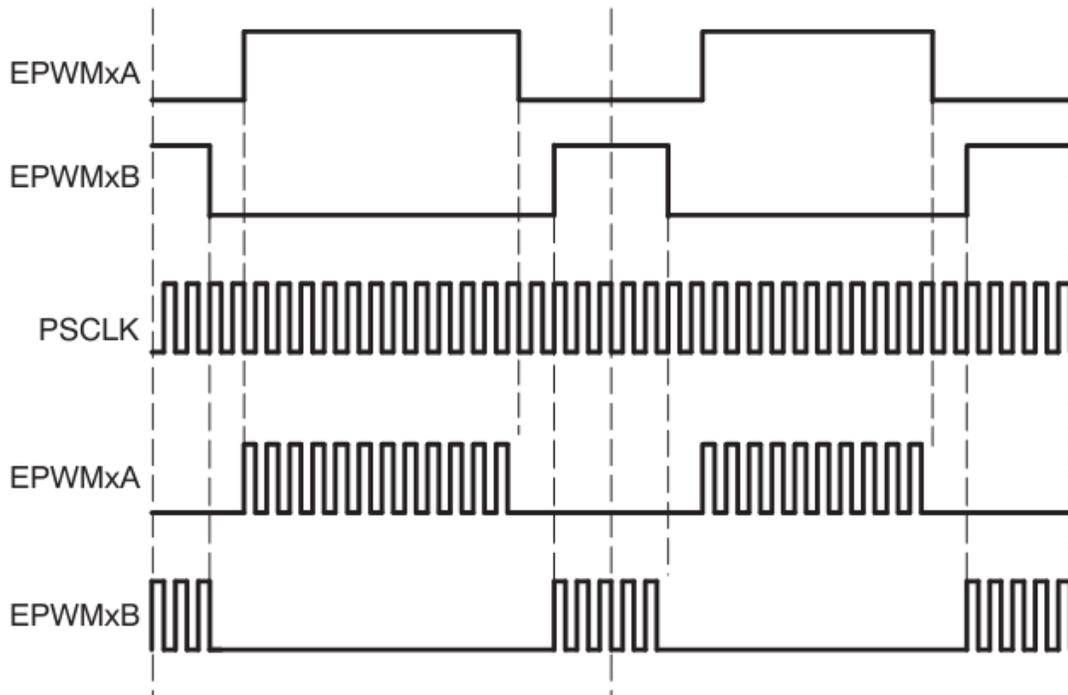


Рис 21. Временные диаграммы работы Модулятора

9 Детектор Сигнала Аварии (TZ).

Детектор Сигнала Аварии контролирует выходы EPWMxA и EPWMxB, и может переводить их в определенное состояние в случае, если поступит сигнал аварии.

9.1 Назначение Детектора Сигнала Аварии.

Основные функции Детектора Сигнала Аварии:

- Входные сигналы аварии с выводов TZ1-TZ6 могут использоваться любым Блоком ШИМ,
- В случае, если поступит сигнал аварии, выходы ШИМ могут быть переведены в: Состояние 1, Состояние 0, Состояние Z, либо оставлены без изменения.
- Поддерживается однократная блокировка выводов для ситуации короткого замыкания или перегрузки по току.
- Поддерживается циклическая блокировка для режима ограничения тока.
- Каждый входной источник сигнала аварии может быть обработан в однократном и циклическом режимах.
- Поддерживается программная генерация сигнала аварии.
- Детектор может быть отключен, если он не требуется.

9.2 Управление Детектором Сигнала Аварии.

Детектор Сигнала Аварии программируется с помощью регистров:

- TZSEL – регистр выбора источника сигнала аварии,
- TZCTL – регистр управления Детектором Сигнала Аварии,
- TZEINT – регистр маски прерывания по сигналу аварии,
- TZFLG – регистр флага сигнала аварии,
- TZCLR – регистр сброса прерывания по сигналу аварии,
- TZFRC- регистр программной генерации сигнала аварии (Программной эмуляции сигнала аварии).

9.3 Работа Детектора Сигналов аварии.

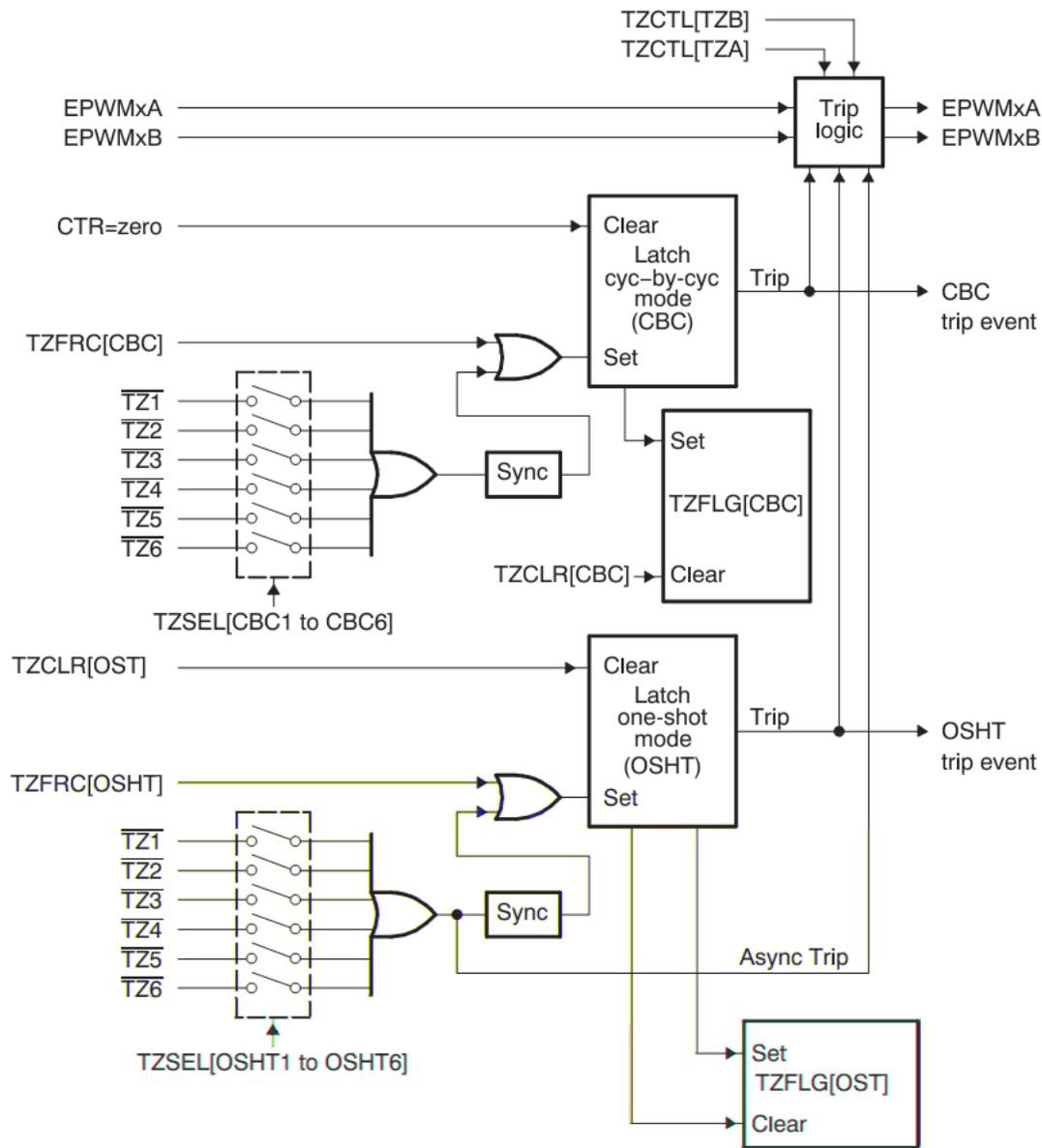


Рис.22 Структурная схема Детектора Сигналов Аварии.

Переход входных сигналов аварии TZ_n из состояния высокого уровня в состояние низкого уровня формирует событие аварии. Каждый блок ШИМ может использовать, а может не использовать эти события в своей работе; выбор производится с помощью регистра $TZSEL$. События могут формироваться синхронно (с цифровым фильтром помех), или асинхронно (программируется через регистры GPIO Контроллера). При синхронной обработке, длительность импульса на входном сигнале сбоя должна быть не меньше периода системного такта. Если же обработка производится в асинхронном режиме, то событие формируется и обрабатывается даже в том случае, если по какой-либо причине отключилось тактирование микросхемы. Каждый входной сигнал аварии должен быть настроен на однократное или циклическое формирование события аварии, выбор режима задается битами $TZSEL[CBC_n]$ и $TZSEL[OSHT_n]$.

Циклическая обработка сигналов аварии:

При получении события аварии в режиме циклической обработки немедленно формируется реакция на основе содержимого регистра TZCTL, которая меняет состояние выводов EPWMxA и/или EPWMxB. В дополнение, устанавливается флаг в регистре TZFLG[CBC], и отправляется прерывание EPWMx_TZINT (если стоит соответствующая маска в регистрах TZEINT и контроллера прерываний). Аварийное удержание выводов заканчивается по событию TVCTR = 0x0000, при условии, что событие аварии более неактивно. Таким образом, в режиме циклической обработки событие аварии сбрасывается в каждом периоде ШИМ, хотя флаг аварии выводов TZFLG[CBC] остается активным вплоть до принудительного сброса (Программно). Если после сброса регистра TZFLG[CBC] вновь будет получено событие аварии, то флаг вновь станет активным.

При получении события аварии в режиме однократной обработки, также немедленно формируется реакция на основе содержимого регистра TZCTL, которая меняет состояние выводов EPWMxA и/или EPWMxB. В дополнение, устанавливается флаг в регистре TZFLG[OST], и отправляется прерывание EPWMx_TZINT (если стоит соотв. маска в регистрах TZEINT и NVIC). Аварийное удержание выводов будет производиться вплоть до принудительного сброса записью в регистр TZCLR[OST].

Аварийное удержание выводов при получении события сбоя программируется индивидуально для выхода А и В в регистрах TZCTL[TZA] и TZCTL[TZB], и может принимать следующие значения:

- 00 - Перевод вывода в состояние Z,
- 01 - Перевод вывода в состояние 1,
- 10 - Перевод вывода в состояние 0,
- 11 — Оставить вывод без изменений.

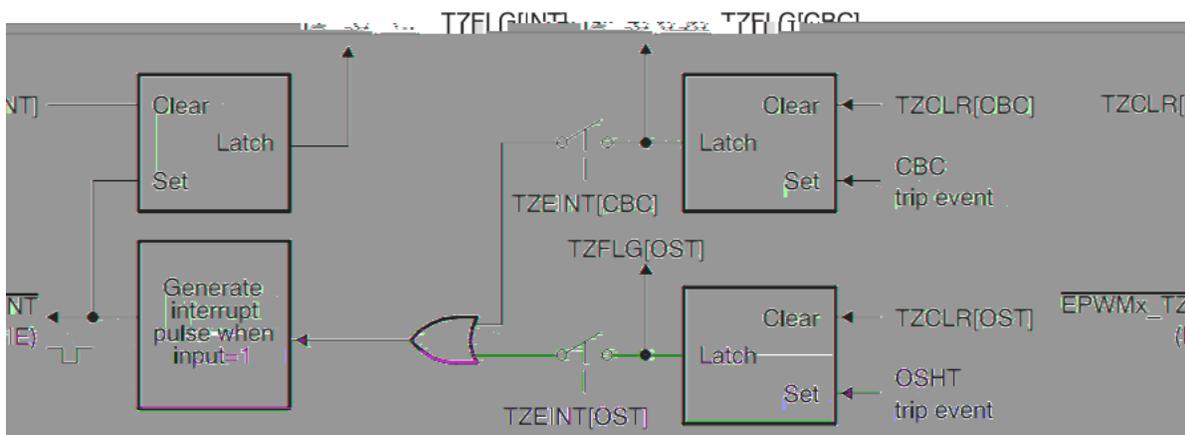


Рис 23. Формирование прерываний Детектора Сигнала Аварии

10 Триггер событий (ET).

Основные функции Триггера событий:

- Получение событий сформированных Таймером и Компаратором,

- Использование информации о направлении счета (вверх/вниз),
- Использование Делителя событий, для формирования сигнала прерывания и команды на запуск Секвенсоров Блока АЦП, со следующими состояниями: Делитель выключен (срабатывание на каждое событие), Срабатывание на каждое второе событие и Срабатывание на каждое третье событие,
- Предоставление доступа микропроцессору к содержимому регистра флагов событий и счетчикам событий,
- Возможность программного выставления прерывания и сигнала запуска Секвенсоров Блока АЦП.

10.1 Работа Триггера событий.

Триггер событий программируется с помощью регистров:

- ETSEL — Маска событий для формирования прерывания или запуска Секвенсоров Блока АЦП,
- ETPS — Выбор опции предварительного делителя событий,
- ETFLG — флаг события,
- ETCLR — Программный сброс события (ETFLG),
- ETFRC — Программная эмуляция события.

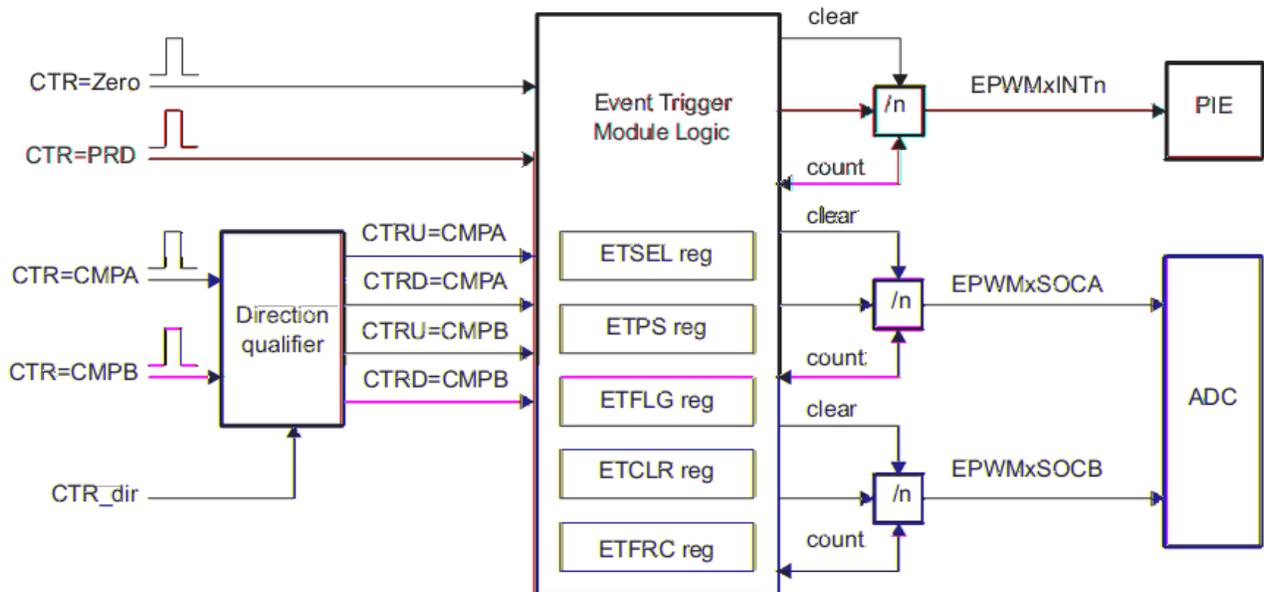


Рис.24 Структурная схема Триггера событий

Опцией предделителя событий (регистр ETPS[INTPRD]) может быть: Бездействие, Генерация прерывания по каждому событию, Генерация прерывания по каждому второму событию и Генерация прерывания по каждому третьему событию.

Выбор маски события осуществляется в регистре ETSEL[INTSEL], и может маскировать источники: TBCTR = 0x0000, TBCTR = TBPRD, а также TBCTR = CMPA при счете вверх,

ТВСТР = СМРА при счете вниз, ТВСТР = СМРВ при счете вверх и ТВСТР = СМРВ при счете вниз. Количество событий можно прочитать программно из регистра ЕТПС[INTCNT]. Оно используется, когда событие произошло, но счетчик предделителя еще не достиг значения срабатывания (регистр ЕТПС[INTPRD]). Счетчик предделителя событий (ЕТПС[INTCNT]) считает от 0 до ЕТПС[INTPRD], и сбрасывается только вместе с отправкой активного прерывания.

Когда значение счетчика предделителя событий ЕТПС[INTCNT] достигает значения ЕТПС[INTPRD], происходит следующее:

- Если прерывание разрешено, ЕТSEL[INTEN] = 1, флаг прерывания сброшен, а ЕТFLG[INT] = 0, то происходит генерация прерывания и устанавливается флаг ЕТFLG[INT] = 1. А также счетчик ЕТПС[INTCNT] сбрасывается в 0, и начинает считать заново.
- Если же прерывание запрещено и ЕТSEL[INTEN] = 0, или же не сброшен флаг прерывания (ЕТFLG[INT] = 1), то счетчик перестает считать события после достижения значения ЕТПС[INTCNT] = ЕТПС[INTPRD].
- Если прерывания разрешены, но флаг от предыдущего прерывания еще не сброшен, то счетчик хранит свое максимально достигнутое значение (ЕТПС[INTCNT] = ЕТПС[INTPRD]) вплоть до сброса флага ЕТFLG[INT]. Это позволяет обработать еще прерывание, пришедшее за то время, пока обрабатывалось предыдущее.

Каждая запись в регистр ЕТПС[INTPRD] сбрасывает счетчик предделителя событий (ЕТПС[INTCNT]). Запись 1 в регистр ЕТFRC[INT] увеличит значение счетчика ЕТПС[INTCNT] на 1. Если в ЕТПС[INTPRD] записан 0, то счетчик отключен, а входные события (включая ЕТПС[INTCNT]) будут проигнорированы.

11 Расширение для Блока ШИМ Высокого разрешения (eHRPWM).

Блок ШИМ Высокого разрешения основан на описанном выше Блоке ШИМ, и является его полным функциональным аналогом с расширенными возможностями, как то:

- улучшенный контроль скважности, или фазы выходного сигнала ШИМ канала А (EPWMxA),
- улучшенная точность переключения фронтов, используя дополнительные регистры СМРАНР и ТВРНШР,
- логика калибровки, для программной коррекции линии задержки.

11.1 Улучшение разрешающей способности.

В Блоке ШИМ Высокого разрешения используется специальная линия задержки с шириной отсчета 150пс, поэтому разрешающая способность для блока увеличивается.

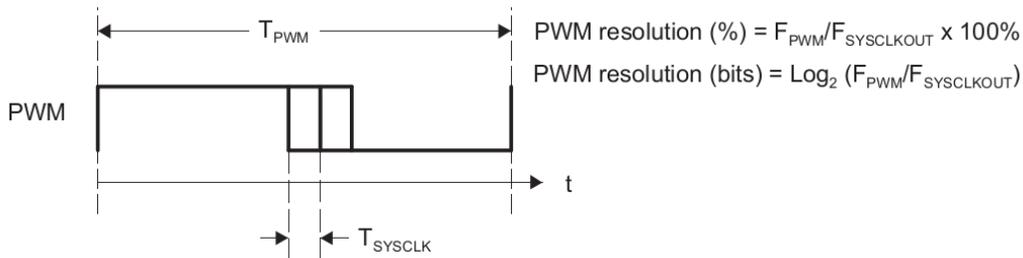


Рис.25 Вычисление разрешающей способности Блоков ШИМ

На рис. 25 представлена формула вычисления разрешающей способности по ширине единичного отсчета, и периоду следования импульсов ШИМ.

11.2 Использование линий задержки.

Блок ШИМ высокого разрешения использует прецизионную линию задержки, которая формируется из 255 одинаковых элементов со схемой управления. Линия задержки включает в себя логику калибровки, которая программно позволяет оценить задержку одного элемента в текущих условиях эксплуатации микросхемы (питание и температура) и, если это необходимо, программно внести корректировку в работу Блока ШИМ.

Принцип работы Блока ШИМ Высокого разрешения аналогичен описанному выше Блоку ШИМ с тем отличием, что Регистр Фазы и Регистр Компаратора А имеют повышенную разрядность за счет регистров TVPHSHR и CMPANR соотв. Дополнительные регистры управления расширенными возможностями расположены в регистре HRCNFG.

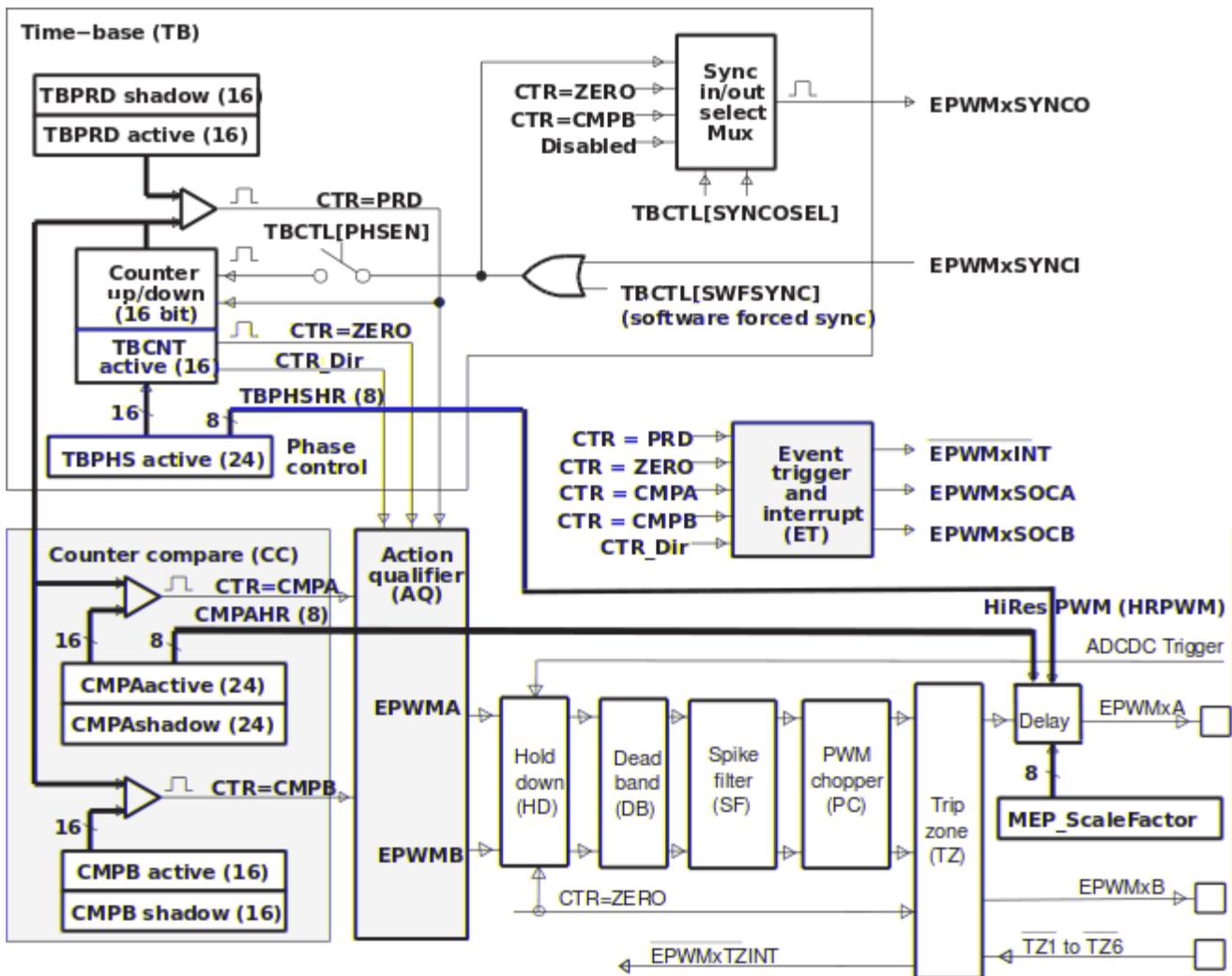


Рис.26 Схема Блока ШИМ Высокого разрешения

11.3 Конфигурация.

Кроме обычных функций, Блок ШИМ Высокого разрешения позволяет работать в следующих режимах:

- Режим Фронтов: линия задержки подключается для высокоточного контроля выставления переднего и заднего фронта сигнала на выходе А. Управление фронтами по отдельности используется в схемах, где требуется прецизионная точность скважности формируемых импульсов. Управление обоими фронтами одновременно используется в схемах, где требуется высокая точность в выставлении фазы формируемого сигнала, к примеру, в мостах.
- Режим Управления: линия задержки управляется либо регистром CMPAHR (управление скважностью), либо регистром ТВPHSHR (управление фазой). Отдельно передний или задний фронты выставляются регистром CMPA, а вместе (фаза) – регистром ТВPHSHR.
- Отложенная загрузка: регистр CMPAHR может использовать отложенную загрузку, полностью аналогичную тому, как это сделано для регистра CMPA.

11.4 Принцип работы.

Линия задержки содержит в себе 255 прецизионных элементов, формирующих общую задержку с помощью схемы управления.

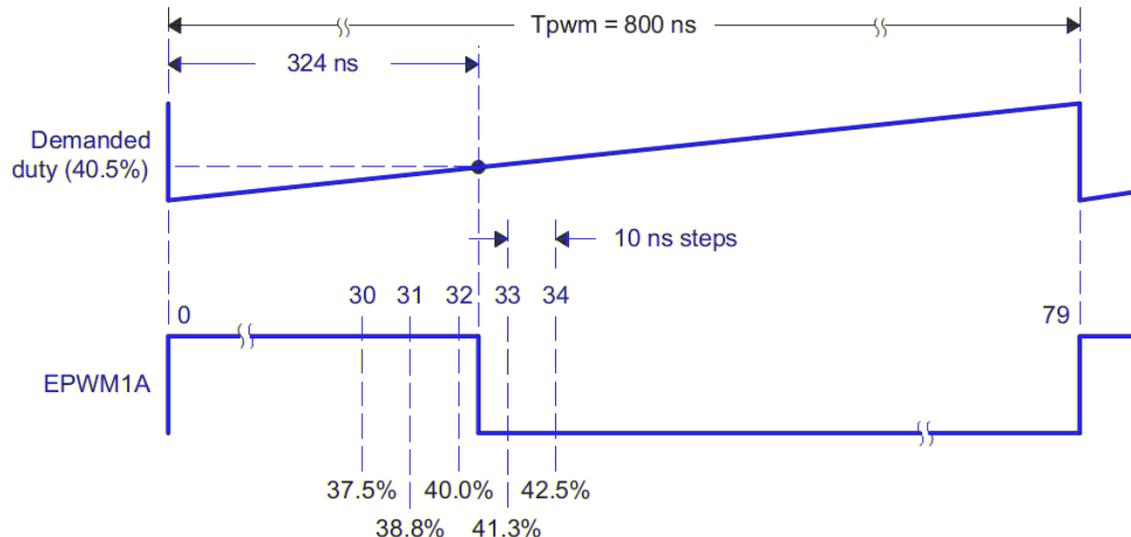


Рис.27 Пример работы

На рис.27 приведен пример работы Блока ШИМ Высокого разрешения. За основу принято, что длительность отсчета (задержка одного элемента) равна 180пс, а рабочая частота 100МГц (период 10нс). Формирование скважности 40.5% от периода $T_{pwm}=800$ нс складывается из 32 отсчетов (регистр СМРА) счетчика, работающего на системной частоте, формируя задержку 320нс, и линии задержки, запрограммированной на 22 отсчета (регистр СМРАНР), формируя дополнительную задержку 3.96нс. Общая задержка получается 323.96 нс, что составляет почти нулевую погрешность от значения 324нс (40.5%).

11.4 Ограничения диапазона скважности.

Линия задержки не может работать в течение всего периода формируемого сигнала ШИМ. Поэтому вводятся следующие ограничения:

- Минимальная длительность импульса составляет 3 периода системного такта, если схема калибровки неактивна,
- Минимальная длительность импульса составляет 6 периодов системного такта, если схема калибровки активна.

В случае, если в соответствии с требуемой скважностью выходной сигнал ШИМ оказался короче чем 3 (или 6, при активной калибровке) периодов системного такта, то фронты будут выставлены с точностью, как и в обычном Блоке ШИМ.

При работе на низких частотах ШИМ ограничение по управлению скважностью практически незаметно.

11.5 Калибровка.

Линия задержки состоит из 255 одинаковых, последовательно включенных элементов. Длительность отсчета (задержки одного элемента) составляет 150пс и определяется

технологическими нормами, в соответствии с которыми выполнена микросхема. Длительность отсчета также может незначительно меняться, в зависимости от текущего значения питания микросхемы и текущей температуры. Чтобы учесть меняющиеся, в зависимости от текущих условий эксплуатации, факторы, используется специальная схема, которая в качестве эталона использует параметр периода системного такта. Схема измеряет количество отсчетов (используемых элементов линии задержки) для формирования общей задержки, равной длительности системного такта (к примеру, 10нс на частоте 100МГц), и записывает это значение в регистр. Программное обеспечение обязано учесть это значение для корректировки переключения фронтов ШИМ.

12 Сопряжение с Блоками АЦП.

Выходы девяти Блоков ШИМ EPWMxSOCA и EPWMxSOCB объединяются по схеме ИЛИ (см. рис.28) и формируют импульсы запуска Секвенсоров Блока АЦП.

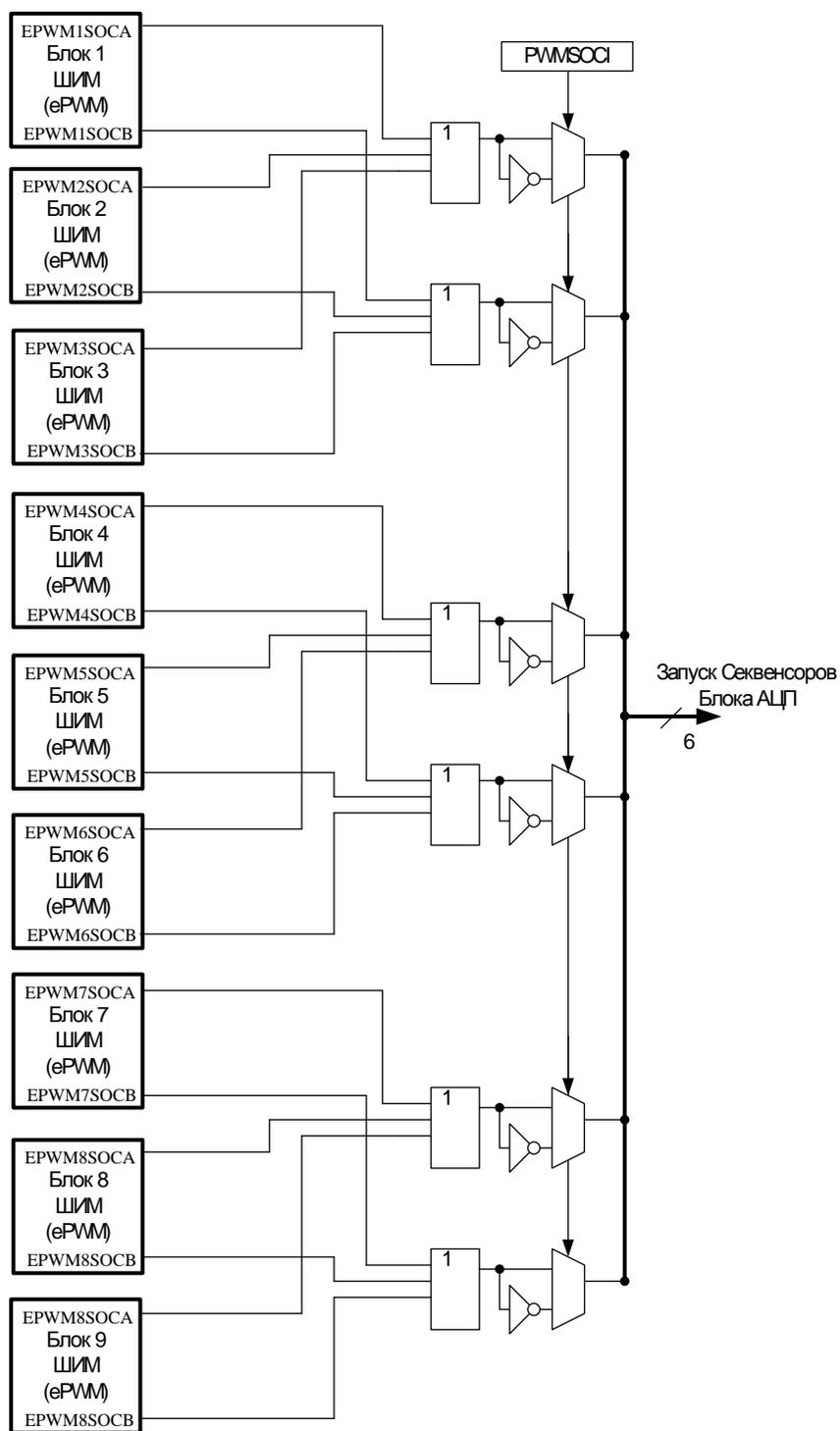


Рис. 28 Схема формирования сигналов запуска секвенсоров Блока АЦП.

13.0 Регистры блока ШИМ.

13.1 Адресное пространство.

Смещение	Название регистра	Тип	По сбросу	Описание
0x00	TBCTL	Запись/чтение	0x0	Регистр Управления Таймером
0x04	TBSTS	Чтение	0x0	Регистр Статуса Таймера
0x08	TBPHS	Запись/чтение	0x0	Регистр Фазы
0x08*	TBPHSHR	Запись/чтение	0x0	Расширенный регистр Фазы (* - только для Блока ШИМ Высокого разрешения)
0x0C	TBCTR	Запись/чтение	0x0	Регистр текущего значения Таймера
0x10	TBPRD	Запись/чтение	0x0	Регистр максимального значения Таймера
0x14	CMPCCTL	Запись/чтение	0x0	Регистр Управления Компаратором
0x18	CMPA	Запись/чтение	0x0	Регистр порога срабатывания А
0x18*	CMPAHR	Запись/чтение	0x0	Расширенный регистр Компаратора А (* - только для Блока ШИМ Высокого разрешения)
0x1C	CMPB	Запись/чтение	0x0	Регистр порога срабатывания В
0x20	AQCTLA	Запись/чтение	0x0	Регистр Обработчика для выхода А
0x24	AQCTLB	Запись/чтение	0x0	Регистр Обработчика для выхода В
0x28	AQSFRC	Запись/чтение	0x0	Регистр Обработчика для однократного программного управления
0x2C	AQCSFRC	Запись/чтение	0x0	Регистр Обработчика для циклического программного управления
0x30	DBCTL	Запись/чтение	0x0	Регистр Управления Генератором Мертвого Времени ШИМ
0x34	DBRED	Запись/чтение	0x0	Регистр Задержки Фронта
0x38	DBFED	Запись/чтение	0x0	Регистр Задержки Среза
0x3C	TZSEL	Запись/чтение	0x0	Регистр Источника сигнала аварии
0x40	TZCTL	Запись/чтение	0x0	Регистр Управления Детектором Событий Аварии
0x44	TZEINT	Запись/чтение	0x0	Регистр маски прерывания Детектора Событий Аварии
0x48	TZFLG	Запись/чтение	0x0	Регистр Флагов прерывания Детектора Событий Аварии
0x4C	TZCLR	Запись/чтение	0x0	Регистр Сброса флагов прерывания Детектора Событий Аварии

0x50	TZFRC	Запись/чтение	0x0	Регистр Программной эмуляции сигнала аварии
0x54	ETSEL	Запись/чтение	0x0	Регистр Источника триггера событий
0x58	ETPS	Запись/чтение	0x0	Регистр Пределителя триггера событий
0x5C	ETFLG	Запись/чтение	0x0	Регистр Флагов триггера событий
0x60	ETCLR	Запись/чтение	0x0	Регистр Сброса флагов триггера событий
0x64	ETFRC	Запись/чтение	0x0	Регистр Программной эмуляции событий
0x68	PCCTL	Запись/чтение	0x0	Регистр Управления Модулятором
0x6C	HRCNFG	Запись/чтение	0x0	Регистр Конфигурации Блока ШИМ Высокого разрешения (* - только для Блока ШИМ высокого разрешения)
0x70	FWDTH	Запись/чтение	0x0	Регистр ширины фильтрации.
	RSRV			
0x88	HDSEL	Запись/чтение	0x0	Регистр Источника события удержания.
0x8C	HDCTL	Запись/чтение	0x0	Регистр Управления детектором событий удержания.
0x90	HDEINT	Запись/чтение	0x0	Регистр маски прерывания Порогового Выключателя.
0x94	HDFLG	Запись/чтение	0x0	Регистр Флагов прерывания Порогового Выключателя.
0x98	HDCLR	Запись/чтение	0x0	Регистр Сброса флагов прерывания Порогового Выключателя.
0x9C	HDFRC	Запись/чтение	0x0	Регистр Программной активации Порогового Выключателя.
0xA0	HDINTCLR	Запись/чтение	0x0	Регистр сброса прерывания HDINT
0xA4	TZINTCLR	Запись/чтение	0x0	Регистр сброса прерывания TZINT
0xA8	INTCLR	Запись/чтение	0x0	Регистр сброса прерывания INT
	RSRV			

13.2 Регистр максимального значения Таймера (TBPRD).

Адрес	7	6	5	4	3	2	1	0
0x10 - 0x11	TBPRD							
0x12 - 0x13	RSRV							

- TBPRD, 16 бит. Регистр содержит максимальное значение счета Таймера и тем самым задает

частоту ШИМ. Отложенная загрузка в этот регистр программируется битом TBCTL[PRDL D]. По умолчанию отложенная загрузка включена.

Если TBCTL[PRDL D] = 0, то отложенная загрузка включена и запись по этому смещению приведет к записи в отложенный регистр загрузки. Активный регистр будет загружен по событию, когда значение Таймера = 0.

Если TBCTL[PRDL D] = 1, то отложенная загрузка включена и запись по этому смещению приведет к записи напрямую в активный регистр.

Доступен на Запись и Чтение.

13.3 Регистр Фазы (TBPHS).

Адрес	7	6	5	4	3	2	1	0
0x08	RSRV							
0x09	TBPHSHR							
0x0A	TBPHS							
0x0B	TBPHS							

- TBPHS, 16 бит. Регистр содержит начальную фазу Таймера при получении сигнала синхронизации.

- TBPHSHR, 8 бит. Регистр Фазы Высокого разрешения. Доступен в Блоке ШИМ Высокого разрешения.

Если TBCTL[PHSEN] = 0, то синхронизация отключена, и Таймер не будет загружен значением TBPHS.

Если TBCTL[PHSEN] = 1, синхронизация включена, и по получению события синхронизации в счетчик Таймера TBCTR будет загружено значение TBPHS.

Доступен на Запись и Чтение.

13.4 Регистр текущего значения Таймера (TBCTR) .

Адрес	7	6	5	4	3	2	1	0
0x0C - 0x0D	TBCTR							
0x0E - 0x0F	RSRV							

- TBCTR, 16 бит. Регистр содержит текущее значение счетчика Таймера. Запись в этот регистр изменит значение таймера. Запись происходит асинхронно с TBLK и не использует отложенный механизм загрузки.

13.5 Регистр управления Таймером (TBCTL) .

Адрес	7	6	5	4	3	2	1	0
0x00	HSPCLK DIV	SWF SYNC	SYNCOSEL		PRDLD	PHSEN	CTRMODE	
0x01	FREE/SOFT		PHSDIR	CLKDIV			HSPCLKDIV	
0x02	RSRV							
0x03	RSRV							

- CTRMODE, 2 бит. Режим работы счетчика. Доступны значения:
 - 00 – счет Вверх,
 - 01 – счет Вних,
 - 10 – счет Вверх-Вниз,
 - 11 –счет остановлен.
 Доступен на Запись и Чтение.
- PHSEN, 1 бит. Значение 1 разрешает загрузку счетчика таймера (TBCTR) значением регистра Фазы (TBPHS) при получении события синхронизации (импульс на входе EPWMxSYNCl или запись в регистр SWFSYNC)
- PRDLD, 1 бит. Значение 0 разрешает режим отложенной загрузки регистра TBPRD. Значение 1 означает, что запись в TBPRD будет произведена сразу в активный регистр.
- SYNCOSEL, 2 бит. Выбор источника для выходного сигнала синхронизации (EPWMxSYNCO). Доступны значения:
 - 00 – EPWMxSYNC,
 - 01 – CTR=0,
 - 10 – CTR=CMPB,
 - 11 – Запрет на выдачу синхроимпульса.
 Доступен за Запись и Чтение.
- SWFSYNC, 1 бит. Программная эмуляция появления синхроимпульса. Запись 1 приведет к появлению синхроимпульса в цепи EPWMxSYNCl.
- HSPCLKDIV, 3 бит. Значение деления системного клона. Деление происходит по формуле: $TBCLK = SYSCLKOUT / (HSPCLKDIV \times CLKDIV)$.
 Доступны следующие значения:
 - 000 - /1
 - 001 - /2 (значение по сбросу)
 - 010 - /4
 - 011 - /6
 - 100 - /8
 - 001 - /10

110 - /12

111 - /14

Доступен на Запись и Чтение.

- CLKDIV, 3 бит. Деление системного блока. Деление происходит по формуле: $TBCLK = SYSCLKOUT / (HSPCLKDIV \times CLKDIV)$. Доступны следующие значения:

000 - /1(значение по сбросу)

001 - /2

010 - /4

011 - /8

100 - /16

001 - /32

110 - /64

111 - /128

Доступен на Запись и Чтение.

- PHSDIR, 1 бит. Фазовое направление. Содержит значение направления счета после синхронизации и загружается вместе с регистром Фазы. Используется только при счете Вверх-Вниз. Доступен на Запись и Чтение.
- FREE/SOFT, 2 бита. Режим программной эмуляции. Задаёт поведение таймера по заданным событиям. Доступны следующие значения:

00 – останавливает счетчик Таймера со следующего такта TBCLK,

01 – останавливает счетчик Таймера в конце периода,

1x – режим не задействован.

Доступен на Запись и Чтение.

13.6 Регистр статуса Таймера (TBSTS) .

Адрес	7	6	5	4	3	2	1	0
0x04	RSRV					CTR MAX	SYNCI	CTRDIR
0x05	RSRV							
0x06	RSRV							
0x07	RSRV							

- CTRDIR, 1 бит. Текущее направление счета таймера: 0 – счет вниз, 1 – счет вверх. Доступен только на Чтение.
- SYNCI, 1 бит. Статус синхронизации. Значение 1 означает, что произошла синхронизация. Запись 1 сбрасывает статус. Доступен только на Чтение.
- CTRMAX, 1 бит. Статус достижения максимального значения (0xFFFF) счетчиком таймера. Значение 1 означает, что максимальное значение было достигнуто. Запись 1

сбрасывает статус. Доступен только на Чтение.

13.7 Регистр порога срабатывания А (СМРА) .

Адрес	7	6	5	4	3	2	1	0
0x18	RSRV							
0x19	СМРАНР							
0x1A	СМРА							
0x1B	СМРА							

- СМРА, 16 бит. Содержит активное значение порога срабатывания А (СМРА), которое сравнивается со значением счета Таймера (ТВСТР). Если значения совпадают, то формируется событие $CTR=СМРА$, по которому может формироваться сигнал на выходах EPWMxA и EPWMxB.
- СМРАНР, 8 бит. Регистр СМРА Высокого разрешения. Отложенная загрузка включается и работает также как и для регистра СМРА. Доступен на Запись и Чтение.

Режим отложенной загрузки в регистр программируется в СМРСТЛ[SHDWAMODE]. По умолчанию режим отложенной загрузки включен.

Если СМРСТЛ[SHDWAMODE] = 0, то отложенная загрузка включена, и запись по этому смещению приведет к записи в отложенный регистр загрузки. В этом случае, регистр СМРСТЛ[LOADAMODE] будет определять, по какому событию будет произведена загрузка сохраненного значения в активный регистр. Также перед записью необходимо проверять регистр СМРСТЛ[SHDWAFULL], который показывает, была ли произведена загрузка активного регистра предыдущим отложенным значением.

Если СМРСТЛ[SHDWAMODE] = 1, то отложенная загрузка включена, и запись по этому смещению приведет к записи напрямую в активный регистр.

Доступен на Запись и Чтение.

13.8 Регистр порога срабатывания В (СМРВ) .

Адрес	7	6	5	4	3	2	1	0
0x1C- 0x1D	RSRV							
0x1E- 0x1F	СМРВ							

- СМРВ, 16 бит. Содержит активное значение порога срабатывания В (СМРВ), которое сравнивается со значением счета Таймера (ТВСТР). Если значения совпадают, то формируется событие $CTR=СМРВ$, по которому может формироваться сигнал на выходах EPWMxA и EPWMxB.

Режим отложенной загрузки в регистр программируется в СМРСТЛ[SHDWAMODE]. По умолчанию режим отложенной загрузки включен.

Если СМРСТЛ[SHDWAMODE] = 0, то отложенная загрузка включена и запись по этому смещению приведет к записи в отложенный регистр загрузки. В этом случае, регистр

СМРСТЛ[LOADAMODE] будет определять, по какому событию будет произведена загрузка сохраненного значения в активный регистр. Также перед записью необходимо проверять регистр СМРСТЛ[SHDWAFULL], который показывает, была ли произведена загрузка активного регистра предыдущим отложенным значением.

Если СМРСТЛ[SHDWAMODE] = 1, то отложенная загрузка включена и запись по этому смещению приведет к записи напрямую в активный регистр.

Доступен на Запись и Чтение.

13.9 Регистр управления Компаратором (СМРСТЛ) .

Адрес	7	6	5	4	3	2	1	0
0x14	RSRV	SHDWB MODE	RSRV	SHDWA MODE	LOADBMODE		LOADAMODE	
0x15	RSRV						SHDWB FULL	SHDWA FULL
0x16	RSRV							
0x17	RSRV							

- LOADAMODE, 2 бит. Выбор события загрузки отложенного значения в СМРА если СМРСТЛ[SHDWAMODE] = 0. Доступны значения:
 - 00 – загрузка по событию CTR=0,
 - 01 – загрузка по событию CTR=PRD,
 - 10 – загрузка по событию CTR=0 или CTR=PRD,
 - 11 – запрет загрузки.
 Доступен на Запись и Чтение.
- LOADBMODE, 2 бит. Выбор события загрузки отложенного значения в СМРВ если СМРСТЛ[SHDWBMODE] = 0. Доступны значения:
 - 00 – загрузка по событию CTR=0,
 - 01 – загрузка по событию CTR=PRD,
 - 10 – загрузка по событию CTR=0 или CTR=PRD,
 - 11 – запрет загрузки.
 Доступен на Запись и Чтение.
- SHDWAMODE, 1 бит. Значение 0 разрешает режим отложенной загрузки в регистр СМРА. Значение 1 производит немедленную загрузку в активный регистр при обращении в регистр СМРА. Доступен на Запись и Чтение.
- SHDWBMODE, 1 бит. Значение 0 разрешает режим отложенной загрузки в регистр СМРВ. Значение 1 производит немедленную загрузку в активный регистр при обращении в регистр СМРВ. Доступен на Запись и Чтение.
- SHDWAFULL, 1 бит. Статус отложенной загрузки в СМРА. Показывает, была ли произведена загрузка активного регистра предыдущим отложенным значением. Доступен

только на Чтение.

- SHDWBFULL, 1 бит. Статус отложенной загрузки в СМРВ. Показывает, была ли произведена загрузка активного регистра предыдущим отложенным значением. Доступен только на Чтение.

13.10 Регистр Обработчика для выхода А (AQCTLA).

Адрес	7	6	5	4	3	2	1	0
0x21	CAD		CAU		PRD		ZRO	
0x22	RSRV				CBD		CBU	
0x23	RSRV							
0x24	RSRV							

- ZRO, 2 бит. Задаёт действие с выходным сигналом на выводе EPWMxA по событию CTR=0. Доступны значения:
 - 00 – нет реакции,
 - 01 – EPWMxA = 0,
 - 10 – EPWMxA = 1,
 - 11 – инверсия EPWMxA.Доступен на Запись и Чтение.
- PRD, 2 бит. Задаёт действие с выходным сигналом на выводе EPWMxA по событию CTR=PRD. Доступны значения:
 - 00 – нет реакции,
 - 01 – EPWMxA = 0,
 - 10 – EPWMxA = 1,
 - 11 – инверсия EPWMxA.Доступен на Запись и Чтение.
- CAU, 2 бит. Задаёт действие с выходным сигналом на выводе EPWMxA по событию CTR=СМРА при счете Вверх. Доступны значения:
 - 00 – нет реакции,
 - 01 – EPWMxA = 0,
 - 10 – EPWMxA = 1,
 - 11 – инверсия EPWMxA.Доступен на Запись и Чтение.
- CAD, 2 бит. Задаёт действие с выходным сигналом на выводе EPWMxA по событию CTR=СМРА при счете Вниз. Доступны значения:
 - 00 – нет реакции,
 - 01 – EPWMxA = 0,

10 – EPWMxA = 1,

11 – инверсия EPWMxA.

Доступен на Запись и Чтение.

- CBU, 2 бит. Задаёт действие с выходным сигналом на выводе EPWMxA по событию CTR=СМРВ при счете Вверх. Доступны значения:

00 – нет реакции,

01 – EPWMxA = 0,

10 – EPWMxA = 1,

11 – инверсия EPWMxA.

Доступен на Запись и Чтение.

- CBD, 2 бит. Задаёт действие с выходным сигналом на выводе EPWMxA по событию CTR=СМРВ при счете Вниз. Доступны значения:

00 – нет реакции,

01 – EPWMxA = 0,

10 – EPWMxA = 1,

11 – инверсия EPWMxA.

Доступен на Запись и Чтение.

13.11 Регистр Обработчика для выхода В (AQCTLB).

Адрес	7	6	5	4	3	2	1	0
0x24	CAD		CAU		PRD		ZRO	
0x25	RSRV				CBD		CBU	
0x26	RSRV							
0x27	RSRV							

- ZRO, 2 бит. Задаёт действие с выходным сигналом на выводе EPWMxB по событию CTR=0. Доступны значения:

00 – нет реакции,

01 – EPWMxB = 0,

10 – EPWMxB = 1,

11 – инверсия EPWMxB.

Доступен на Запись и Чтение.

- PRD, 2 бит. Задаёт действие с выходным сигналом на выводе EPWMxB по событию CTR=PRD. Доступны значения:

00 – нет реакции,

01 – EPWMxB = 0,

10 – EPWMxB = 1,

11 – инверсия EPWMxB.

Доступен на Запись и Чтение.

- CAU, 2 бит. Задаёт действие с выходным сигналом на выводе EPWMxB по событию CTR=СМРА при счете Вверх. Доступны значения:

00 – нет реакции,

01 – EPWMxB = 0,

10 – EPWMxB = 1,

11 – инверсия EPWMxB.

Доступен на Запись и Чтение.

- CAD, 2 бит. Задаёт действие с выходным сигналом на выводе EPWMxB по событию CTR=СМРА при счете Вниз. Доступны значения:

00 – нет реакции,

01 – EPWMxB = 0,

10 – EPWMxB = 1,

11 – инверсия EPWMxB.

Доступен на Запись и Чтение.

- CBU, 2 бит. Задаёт действие с выходным сигналом на выводе EPWMxB по событию CTR=СМРВ при счете Вверх. Доступны значения:

00 – нет реакции,

01 – EPWMxB = 0,

10 – EPWMxB = 1,

11 – инверсия EPWMxB.

Доступен на Запись и Чтение.

- CBD, 2 бит. Задаёт действие с выходным сигналом на выводе EPWMxB по событию CTR=СМРВ при счете Вниз. Доступны значения:

00 – нет реакции,

01 – EPWMxB = 0,

10 – EPWMxB = 1,

11 – инверсия EPWMxB.

Доступен на Запись и Чтение.

13.12 Регистр Обработчика для однократного программного управления (AQSFRC).

Адрес	7	6	5	4	3	2	1	0
-------	---	---	---	---	---	---	---	---

0x28	RLDCSF	OTSFB	ACTSFB	OTSFA	ACTSFA
0x29	RSRV				
0x2A	RSRV				
0x2B	RSRV				

- RLDCSF, 2 бит. Задаёт действие с выходным сигналом на выводе. Доступны значения:
 - 00 – загрузка по значению счетчика 0,
 - 01 – загрузка по значению счетчика = периоду,
 - 10 – загрузка по значению счетчика 0, или по значению счетчика = периоду,
 - 11 – немедленное обновление.
 Доступен на Запись и Чтение.

- ACTSFA, 2 бит. Задаёт действие с выходным сигналом на выводе. Доступны значения:
 - 00 – нет реакции,
 - 01 – EPWMxA = 0,
 - 10 – EPWMxA = 1,
 - 11 – инверсия EPWMxA.
 Доступен на Запись и Чтение.

- OTSFA, 1 бит. Запись 1 инициирует однократный импульс – событие для формирования выхода. Доступен на Запись и Чтение.

- ACTSFB, 2 бит. Задаёт действие с выходным сигналом на выводе. Доступны значения:
 - 00 – нет реакции,
 - 01 – EPWMxB = 0,
 - 10 – EPWMxB = 1,
 - 11 – инверсия EPWMxB.
 Доступен на Запись и Чтение.

- OTSFB, 1 бит. Запись 1 инициирует однократный импульс – событие для формирования выхода. Доступен на Запись и Чтение.

- RLDCSF, 2 бит. Активирует загрузку активного регистра отложенным значением. Доступны значения:
 - 00 – загрузка при CNT=0,
 - 01 – загрузка при CNT=PRD,
 - 10 – загрузка при CNT=0 или CNT=PRD,
 - 11 – запрет режима отложенной загрузки.
 Доступен на Запись и Чтение.

13.13 Регистр Обработчика для циклического программного управления (AQCSFRC).

Адрес	7	6	5	4	3	2	1	0
0x2C	RSRV			CSFB		CSFA		
0x2D	RSRV							
0x2E	RSRV							
0x2F	RSRV							

- CSFA, 2 бит. Задаёт циклическое воздействие на выход А. Доступны значения:
 - 00 – нет реакции,
 - 01 – значение 0 на выходе А,
 - 10 – значение 1 на выходе А,
 - 11 - нет реакции.
 Доступен на Запись и Чтение.
- CSFB, 2 бит. Задаёт циклическое воздействие на выход В. Доступны значения:
 - 00 – нет реакции,
 - 01 – значение 0 на выходе В,
 - 10 – значение 1 на выходе В,
 - 11 - нет реакции.
 Доступен на Запись и Чтение.

13.14 Регистр Управления Генератором Мертвого Времени ШИМ (DBCTL).

Адрес	7	6	5	4	3	2	1	0
0x30	RSRV		IN_MODE		POLSEL		OUT_MODE	
0x31	RSRV							
0x32	RSRV							
0x33	RSRV							

- OUT_MODE, 2 бит. Задаёт режим работы мертвого времени. Бит0 управляет ключом S0, а бит 1 ключом S1 (рисунок 18). Это позволяет включать и отключать контроль за мертвым временем по фронту и срезу. Доступны значения:
 - 00 – контроль отключен,
 - 01 – задержка фронта EPWMxA отключена, задержка среза EPWMxB включена. Значение задержки по задается регистром DBCTL[IN_MODE].
 - 10 – задержка фронта EPWMxA включена, задержка среза EPWMxB отключена. Значение задержки по задается регистром DBCTL[IN_MODE].
 - 11 – включены задержки по фронту EPWMxA и срезу EPWMxB. Значение

задержки по задается регистром DBCTL[IN_MODE].

Доступен по Записи и Чтению.

- POLSEL, 2 бит. Задаёт полярность по выходу. Бит 2 управляет ключом S2, а бит 3 ключом S3 (рисунок 18). Это позволяет инвертировать значения на каждом из выходных выводов. Доступны значения:

00 – инверсия запрещена (режим АН, по умолчанию),

01 – инверсия только на выводе EPWMxA (режим ALC),

10 – инверсия только на выводе EPWMxB (режим АНС),

11 – инверсия на выводах EPWMxA и EPWMxB (режим AL).

Доступен по Записи и Чтению

- IN_MODE, 2 бит. Выбирает источники для контроля по фронту и срезу. Бит 4 управляет ключом S4, а бит 5 ключом S5 (рисунок 18). Доступны значения:

00 – сигнал EPWMxA используется для контроля по фронту и срезу,

01 – сигнал EPWMxA используется для контроля по срезу, а EPWMxB по фронту,

10 – сигнал EPWMxA используется для контроля по фронту, а EPWMxB по срезу,

11 – сигнал EPWMxB используется для контроля по фронту и срезу,

Доступен по Записи и Чтению.

13.15 Регистр Управления мертвым Временем (DBRED).

Адрес	7	6	5	4	3	2	1	0
0x34	DEL							
0x35	RSRV						DEL	
0x36	RSRV							
0x37	RSRV							

DEL, 10 бит. Задаёт задержку по фронту для Генератора Мертвого Времени ШИМ. Доступен по Записи и Чтению.

13.16 Регистр Управления мертвым Временем (DBFED).

Адрес	7	6	5	4	3	2	1	0
0x38	DEL							
0x39	RSRV						DEL	
0x3A	RSRV							
0x3B	RSRV							

DEL, 10 бит. Задаёт задержку по срезу для Генератора Мертвого Времени ШИМ. Доступен по Записи и Чтению.

13.17 Регистр Управления Модулятором (PCCTL).

Адрес	7	6	5	4	3	2	1	0
0x68	SHPFREQ			OSHTWTH				CHPEN
0x69	RSRV					CHPDUTY		
0x6A	RSRV							
0x6B	RSRV							

- CHPEN, 1 бит. Запись 1 разрешает работу Модулятора. Доступен по Записи и Чтению.
- OSHTWTH, 4 бита. Задаёт ширину первого импульса. Доступны следующие значения:
 - 0000 – ширина = $1 * \text{SYSCLKOUT} / 8$,
 - 0001 – ширина = $2 * \text{SYSCLKOUT} / 8$,
 - ...
 - 1111 – ширина = $16 * \text{SYSCLKOUT} / 8$.
 Доступен по Записи и Чтению.
- SHPFREQ, 3 бита. Задаёт частота второго и последующих импульсов. Доступны следующие значения:
 - 000 – частота = $\text{SYSCLKOUT} / 1$,
 - 001 – частота = $\text{SYSCLKOUT} / 2$,
 - ...
 - 111 – частота = $\text{SYSCLKOUT} / 8$.
 Доступен по Записи и Чтению.
- CHPDUTY, 3 бита. Задаёт скважность второго и последующих импульсов. Доступны следующие значения:
 - 000 – скважность = $1/8$ (13.5%),
 - 001 – скважность = $2/8$ (25.0%),
 - ...
 - 110 – скважность = $7/8$ (87.5%),
 - 111 - зарезервировано.
 Доступен по Записи и Чтению.

13.18 Регистр источника сигнала аварии (TZSEL).

Адрес	7	6	5	4	3	2	1	0
0x3C	RSRV		CBC6	CBC5	CBC4	CBC3	CBC2	CBC1
0x3D	RSRV		OSHT6	OSHT5	OSHT4	OSHT3	OSHT2	OSHT1
0x3E	RSRV							

0x3F	RSRV
------	------

- CVC1, 1 бит. Запись 1 разрешает источник сигнала аварии с вывода TZ1 в циклическом режиме обработки аварии.
- CVC2, 1 бит. Запись 1 разрешает источник сигнала аварии с вывода TZ2 в циклическом режиме обработки аварии.
- CVC3, 1 бит. Запись 1 разрешает источник сигнала аварии с вывода TZ3 в циклическом режиме обработки аварии.
- CVC4, 1 бит. Запись 1 разрешает источник сигнала аварии с вывода TZ4 в циклическом режиме обработки аварии.
- CVC5, 1 бит. Запись 1 разрешает источник сигнала аварии с вывода TZ5 в циклическом режиме обработки аварии.
- CVC6, 1 бит. Запись 1 разрешает источник сигнала аварии с вывода TZ6 в циклическом режиме обработки аварии.
- OSHT1, 1 бит. Запись 1 разрешает источник сигнала аварии с вывода TZ1 в однократном режиме обработки аварии.
- OSHT2, 1 бит. Запись 1 разрешает источник сигнала аварии с вывода TZ2 в однократном режиме обработки аварии.
- OSHT3, 1 бит. Запись 1 разрешает источник сигнала аварии с вывода TZ3 в однократном режиме обработки аварии.
- OSHT4, 1 бит. Запись 1 разрешает источник сигнала аварии с вывода TZ4 в однократном режиме обработки аварии.
- OSHT5, 1 бит. Запись 1 разрешает источник сигнала аварии с вывода TZ5 в однократном режиме обработки аварии.
- OSHT6, 1 бит. Запись 1 разрешает источник сигнала аварии с вывода TZ6 в однократном режиме обработки аварии.

13.19 Регистр Управления Детектором Сигнала Аварии (TZCTL).

Адрес	7	6	5	4	3	2	1	0
0x40	RSRV			TZB		TZA		
0x41	RSRV							
0x42	RSRV							
0x43	RSRV							

- TZA, 2 бит. Определяет поведение вывода EPWMxA в случае получения сигнала аварии. Источник сигнала аварии при этом определяется регистром TZSEL.

Доступны следующие значения:

- 00 – EPWMxA в Z – состоянии,
- 01 – EPWMxA в состоянии 1,
- 10 – EPWMxA в состоянии 0,

11 – EPWMxA остается без изменений.

Доступен по Записи и Чтению.

- TZB, 2 бит. Определяет поведение вывода EPWMxB в случае получения сигнала аварии. Источник сигнала аварии при этом определяется регистром TZSEL.

Доступны следующие значения:

- 00 – EPWMxB в Z – состоянии,
- 01 – EPWMxB в состоянии 1,
- 10 – EPWMxB в состоянии 0,
- 11 – EPWMxB остается без изменений.

Доступен по Записи и Чтению.

13.20 Регистр маски прерывания Детектора Сигнала Аварии (TZEINT).

Адрес	7	6	5	4	3	2	1	0
0x44	RSRV					OST	CBC	RSRV
0x45	RSRV							
0x46	RSRV							
0x47	RSRV							

- CBC, 1 бит. Запись 1 разрешает генерацию прерывания в циклическом режиме обработки аварии. Доступен на Запись и Чтение.
- OST, 1 бит. Запись 1 разрешает генерацию прерывания в однократном режиме обработки аварии. Доступен на Запись и Чтение.

13.21 Регистр флагов прерывания Детектора Сигнала Аварии (TZFLG).

Адрес	7	6	5	4	3	2	1	0
0x48	RSRV					OST	CBC	INT
0x49	RSRV							
0x4A	RSRV							
0x4B	RSRV							

- INT, 1 бит. Статус внешнего прерывания в NVIC. Доступен только на Чтение. Если статус был сброшен, в то время как один из статусов CBC или OST установлен, Статус INT снова будет установлен.
- CBC, 1 бит. Статус прерывания в циклическом режиме. Доступен только на Чтение. При этом действие на выход продолжается вплоть до TVCTR=0, если сигнал аварии не перестал быть активным к этому моменту. Если статус сброшен, а сигнал аварии остался, статус установится вновь.

- OST, 1 бит. Статус прерывания в однократном режиме обработки аварии. Доступен только на Чтение. При этом действие на выход продолжается вплоть до ТВCTR=0, если сигнал аварии не перестал быть активным к этому моменту. Если статус сброшен, а источник сигнала аварии остался, статус установится вновь.

13.22 Регистр сброса флагов прерывания Детектора Сигнала Аварии (TZCLR).

Адрес	7	6	5	4	3	2	1	0
0x4C	RSRV					OST	CBC	INT
0x4D	RSRV							
0x4E	RSRV							
0x4F	RSRV							

- INT, 1 бит. Сброс флага внешнего прерывания в NVIC. Если статус был сброшен, в то время как один из статусов CBC или OST установлен, Статус INT снова будет установлен.
- CBC, 1 бит Сброс флага прерывания в циклическом режиме. При этом действие на выход продолжается вплоть до ТВCTR=0, если сбойная ситуация прекратилась к этому моменту. Если статус сброшен, а источник сбоя остался, статус установится вновь.
- OST, 1 бит. Сброс флага прерывания в однократном режиме обработки аварии. При этом действие на выход продолжается вплоть до ТВCTR=0, если сбойная ситуация прекратилась к этому моменту. Если статус сброшен, а источник сбоя остался, статус установится вновь.

13.23 Регистр Программной эмуляции сигнала аварии (TZFRC).

Адрес	7	6	5	4	3	2	1	0
0x50	RSRV					OST	CBC	RSRV
0x51	RSRV							
0x52	RSRV							
0x53	RSRV							

- CBC, 1 бит. Запись 1 приводит к генерации сигнала аварии в циклическом режиме. Устанавливается регистр TZFLG[CBC]. Доступен на Запись и Чтение.
- OST, 1 бит. Запись 1 приводит к генерации сигнала аварии в однократном режиме обработки аварии. Устанавливается регистр TZFLG[OST]. Доступен на Запись и Чтение.

13.24 Регистр источника триггера событий (ETSEL).

Адрес	7	6	5	4	3	2	1	0
0x54	RSRV				INTEN	INTSEL		
0x55	SOCBEN	SOCBSEL			SOCAEN	SOCASEL		

0x56	RSRV
0x57	RSRV

- INTSEL, 3 бит. Задаёт событие, по которому будет сформировано внешнее прерывание EPWMxINT. Доступны следующие значения:

- 000 - зарезервировано,
- 001 - по событию CTR=0,
- 010 – по событию CTR=PRD,
- 011 – зарезервировано,
- 100 – по событию CTR=CMPA при счете Вверх,
- 101 – по событию CTR=CMPA при счете Вниз,
- 110 – по событию CTR=CMPB при счете Вверх,
- 111 – по событию CTR=CMPB при счете Вниз.

Доступен на Запись и Чтение.

INTEN, 1 бит. Запись 1 разрешает генерацию внешнего прерывания EPWMxINT. Доступен на Запись и Чтение.

- SOCASEL, 1 бит. Задаёт событие, по которому будет сформирован импульс EPWMxSOCA. Доступны следующие значения:

- 000 - зарезервировано,
- 001 - по событию CTR=0,
- 010 – по событию CTR=PRD,
- 011 – зарезервировано,
- 100 – по событию CTR=CMPA при счете Вверх,
- 101 – по событию CTR=CMPA при счете Вниз,
- 110 – по событию CTR=CMPB при счете Вверх,
- 111 – по событию CTR=CMPB при счете Вниз.

Доступен на Запись и Чтение.

- SOCAEN, 1 бит. Запись 1 разрешает генерацию внешнего сигнала (EPWMxSOCA) для запуска АЦП. Доступен на Запись и Чтение.

- SOCBSEL, 1 бит. Задаёт событие, по которому будет сформирован импульс EPWMxSOCB. Доступны следующие значения:

- 000 - зарезервировано,
- 001 - по событию CTR=0,
- 010 – по событию CTR=PRD,
- 011 – зарезервировано,
- 100 – по событию CTR=CMPA при счете Вверх,

- 101 – по событию CTR=СМРА при счете Вниз,
- 110 – по событию CTR=СМРВ при счете Вверх,
- 111 – по событию CTR=СМРВ при счете Вниз.

Доступен на Запись и Чтение.

- SOCBEN, 1 бит. Запись 1 разрешает генерацию внешнего сигнала (EPWMxSOCB) для запуска АЦП. Доступен на Запись и Чтение.

13.25 Регистр предделителя триггера событий (ETPS).

Адрес	7	6	5	4	3	2	1	0
0x58	RSRV				INTCNT		INTPRD	
0x59	SOCBCNT		SOCBPRD		SOCACNT		SOCAPRD	
0x5A	RSRV							
0x5B	RSRV							

- INTPRD, 2 бит. Задаёт количество событий, заданных в регистре ETSEL[INTSEL], по которым будет сформировано внешнее прерывание EPWMxINT. Для генерации прерывания нужно запрограммировать также регистр ETSEL[INTSEL] = 1. Если статус прерывания установлен от предыдущего прерывания (ETFLG[INTSEL] = 1), то текущее прерывание не будет активировано до сброса текущего флага записью в регистр ETCLR[INT]. Такой механизм позволяет обрабатывать одно прерывание, в то время как другое ждёт своей очереди. Доступны следующие значения:
 - 00 – счетчик выключен,
 - 01 –выдача прерывания по первому событию (INTCNT=01),
 - 10 –выдача прерывания по второму событию (INTCNT=10),
 - 11 –выдача прерывания по третьему событию (INTCNT=11).
 Доступен на Запись и Чтение.
- INTCNT, 2 бит. Содержит значение счетчика событий прерываний. Значение 00 означает что не было ни одного события, значения 01-11 отражает количество событий. Счетчик автоматически сбрасывается, когда сформировано прерывание, и перестает считать, когда достигает значения ETPS[INTCNT] = ETPS[INTPRD]. Доступен только на чтение.
- SOCAPRD, 2 бит. Задаёт количество событий, заданных в регистре ETSEL[SOCASEL], по которым будет сформирован сигнал запуска АЦП EPWMxSOCA. Для генерации сигнала нужно запрограммировать также регистр ETSEL[SOCAEN] = 1. Сигнал будет сформирован, даже если статус предыдущего сигнала не был сброшен (ETFLG[SOCA] = 1). Как только был отправлен сигнал EPWMxSOCA, счетчик ETPS[SOCACNT] сбрасывается автоматически. Доступны следующие значения:
 - 00 – счетчик выключен,
 - 01 –выдача прерывания по первому событию (ETPS[SOCACNT] =01),
 - 10 –выдача прерывания по второму событию (ETPS[SOCACNT] =10),
 - 11 –выдача прерывания по третьему событию (ETPS[SOCACNT] =11).

Доступен на Запись и Чтение.

- SOCACNT, 2 бит. Содержит значение счетчика событий формирования EPWMxSOCA. Значение 00 означает, что не было ни одного события, значения 01-11 отражает количество событий. Доступен только на чтение.
- SOCBPRD, 2 бит. Задаёт количество событий, заданных в регистре ETSEL[SOCBSEL], по которым будет сформирован сигнал запуска АЦП EPWMxSOCB. Для генерации сигнала нужно запрограммировать также регистр ETSEL[SOCBEN] = 1. Сигнал будет сформирован, даже если статус предыдущего сигнала не был сброшен (ETFLG[SOCB] = 1). Как только был отправлен сигнал EPWMxSOCB, счетчик ETPS[SOCBCNT] сбрасывается автоматически. Доступны следующие значения:

00 – счетчик выключен,

01 –выдача прерывания по первому событию (ETPS[SOCBCNT] =01),

10 –выдача прерывания по второму событию (ETPS[SOCBCNT] =10),

11 –выдача прерывания по третьему событию (ETPS[SOCACNT] =11).

Доступен на Запись и Чтение.

- SOCBCNT, 2 бит. Содержит значение счетчика событий формирования EPWMxSOCB. Значение 00 означает, что не было ни одного события, значения 01-11 отражает количество событий. Доступен только на чтение. Значение 00 означает, что не было ни одного события, значения 01-11 отражает количество событий. Доступен только на чтение.

13.26 Регистр Флагов триггера событий (ETFLG).

Адрес	7	6	5	4	3	2	1	0
0x5C	RSRV				SOCB	SOCA	RSRV	INT
0x5D	RSRV							
0x5E	RSRV							
0x5F	RSRV							

- INT, 1 бит. Статус внешнего прерывания EPWMxINT. Доступен только на чтение.
- SOCA, 1 бит. Статус внешнего сигнала АЦП EPWMxSOCA. Доступен только на чтение.
- SOCB, 1 бит. Статус внешнего сигнала АЦП EPWMxSOCB. Доступен только на чтение.

13.27 Регистр Сброса флагов триггера событий (ETCLR).

Адрес	7	6	5	4	3	2	1	0
0x60	RSRV				SOCB	SOCA	RSRV	INT
0x61	RSRV							
0x62	RSRV							
0x63	RSRV							

- INT, 1 бит. Запись 1 сбрасывает статус внешнего прерывания EPWMxINT. Доступен

только на чтение.

- SOCA, 1 бит. Запись 1 сбрасывает статус внешнего сигнала АЦП EPWMxSOCA. Доступен только на чтение.
- SOCB, 1 бит. Запись 1 сбрасывает статус внешнего сигнала АЦП EPWMxSOCB. Доступен только на чтение.

13.28 Регистр Программной эмуляции событий (ETFRC).

Адрес	7	6	5	4	3	2	1	0
0x64	RSRV				SOCB	SOCA	RSRV	INT
0x65	RSRV							
0x66	RSRV							
0x67	RSRV							

- INT, 1 бит. Запись 1 активирует внешнее прерывание EPWMxINT и устанавливает соотв. статус. Должен быть запрограммирован регистр ETSEL. Доступен только на чтение.
- SOCA, 1 бит. Запись 1 активирует внешний сигнал АЦП EPWMxSOCA и устанавливает соотв. статус. Должен быть запрограммирован регистр ETSEL. Доступен только на чтение.
- SOCB, 1 бит. Запись 1 активирует внешний сигнал АЦП EPWMxSOCB EPWMxSOCA и устанавливает соотв. статус. Должен быть запрограммирован регистр ETSEL. Доступен только на чтение.

13.29 Регистр ширины фильтрации (FWDTH).

Адрес	7	6	5	4	3	2	1	0
0x70	FWDTH							
0x71	RSRV							
0x72	RSRV							
0x73	RSRV							

- FWDTH, 8 бит. Задаёт ширину фильтрации коротких импульсов от 0 до 25.6мк. Значение регистра 0 означает, что фильтр выключен, Значение 1 означает фильтр в 1 период системного такта, 2 – два периода, и т.д.. Доступен на Чтение и Запись.

13.30 Регистр источника сигнала события удержания (HDSEL).

Адрес	7	6	5	4	3	2	1	0
0x88	DCMP							
0x89	DCMP							
0x8A	DCMP							
0x8B	RSRV				ACMP			

- DCMP, 24 бит. Маска Цифровых Компараторов Блока АЦП, с выходов которых берется

сигнал для формирования события удержания.

- АСМР, 3 бит. Маска Аналоговых Компараторов, с выходов которых берется сигнал для формирования события удержания.

13.31 Регистр Управления детектором событий удержания (HDCTL).

Адрес	7	6	5	4	3	2	1	0
0x8C	RSRV			HDB		HDA		
0x8D	RSRV							
0x8E	RSRV							
0x8F	RSRV							

- HDA, 2 бит. Определяет поведение сигнала А в случае события сбоя. Источник сбоя при этом определяется регистром HDSEL.

Доступны следующие значения:

- 00 – Зарезервировано,
- 01 – А в состоянии 1,
- 10 – А в состоянии 0,
- 11 – А остается без изменений.

Доступен по Записи и Чтению.

- HDB, 2 бит. Определяет поведение сигнала В в случае события сбоя. Источник сбоя при этом определяется регистром HDSEL.

Доступны следующие значения:

- 00 – Зарезервировано,
- 01 – В в состоянии 1,
- 10 – В в состоянии 0,
- 11 – В остается без изменений.

Доступен по Записи и Чтению.

13.32 Регистр Конфигурации Блока ШИМ Высокого Разрешения (HRCNFG).

Адрес	7	6	5	4	3	2	1	0
0x6C	RSRV		Calibrate		HR LOAD	CTL MODE	EDGMODE	
0x6D	RSRV						Adjust	
0x6E	MEP_ScaleFactor							
0x6F	RSRV							

- EDGMODE, 2 бит. Содержит значение Фронта и Среза, которое управляет включением линии задержки. Доступны следующие значения:
 - 00 – линия задержки не используется,
 - 01 – линия задержки сдвигает фронт сигнала ШИМ,
 - 10 – линия задержки сдвигает срез сигнала ШИМ,
 - 11 – линия задержки сдвигает фронт и срез сигнала ШИМ.
 Доступен на Запись и Чтение.
- CTLMODE, 1 бит. Выбирает, какой регистр задает значение задержки. Значение 0 означает, что задержка формируется по регистру SMPAHR. Значение 1 означает, что задержка формируется по регистру TVPHSHR. Доступен на Запись и Чтение.
- HRLOAD, 1 бит. Задает событие, по которому производится загрузка отложенного значения в активный регистр SMPAHR. Значение 0 означает загрузку по событию CTR=0. Значение 1 означает загрузку по событию CTR=PRD. При этом режим отложенной загрузки доступен, только если CTLMODE=0, а загрузка SMPA осуществляется аналогичным образом (SMPCTL[LOADMODE] равен 00 или 01). Доступен на Запись и Чтение.
- Calibrate, 2 бита. Запускает калибровку (однократно). А также, задает режим калибровки линии задержки (Задержка импульса калибровки относительно фронта входного сигнала в периодах тактового импульса). Разрешены значения 0x0-0x3. Для каждой повторной калибровки требуется очистить регистр записью 0x0, а затем снова запрограммировать. Доступен на Запись и Чтение.
- Adjust, 2 бита. Настройка работы линии задержки в режиме контроля скважности (Задержка времени переключения параметра задержки после отработки фронтов входного сигнала). Значение по сбросу – 0x2. Доступен на Запись и Чтение.
- MEP_ScaleFactor, 8 бит. Содержит результат работы схемы коррекции линии задержки. Доступен только на Чтение.

13.33 Регистр маски прерывания Детектора Сигнала Аварии (HDEINT).

Адрес	7	6	5	4	3	2	1	0
0x90	RSRV					OST	CBC	RSRV
0x91	RSRV							
0x92	RSRV							
0x93	RSRV							

- CBC, 1 бит. Запись 1 разрешает генерацию прерывания в циклическом режиме обработки аварии. Доступен на Запись и Чтение.
- OST, 1 бит. Запись 1 разрешает генерацию прерывания в однократном режиме обработки аварии. Доступен на Запись и Чтение.

13.34 Регистр флагов прерывания Детектора Сигнала Аварии (HDFLG).

Адрес	7	6	5	4	3	2	1	0
0x94	RSRV					OST	CBC	INT
0x95	RSRV							
0x96	RSRV							
0x97	RSRV							

- INT, 1 бит. Статус внешнего прерывания в NVIC. Доступен только на Чтение. Если статус был сброшен, в то время как один из статусов CBC или OST установлен, Статус INT снова будет установлен.
- CBC, 1 бит. Статус прерывания в циклическом режиме. Доступен только на Чтение. При этом действие на выход продолжается вплоть до TVCTR=0, если сигнал удержания не перестал быть активным к этому моменту. Если статус сброшен, а сигнал удержания остался, статус установится вновь.
- OST, 1 бит. Статус прерывания в однократном режиме обработки аварии. Доступен только на Чтение. При этом действие на выход продолжается вплоть до TVCTR=0, если сигнал удержания не перестал быть активным к этому моменту. Если статус сброшен, а источник сигнала удержания остался, статус установится вновь.

13.35 Регистр сброса флагов прерывания Детектора Сигнала Аварии (HDCLR).

Адрес	7	6	5	4	3	2	1	0
0x98	RSRV					OST	CBC	INT
0x99	RSRV							
0x9A	RSRV							
0x9B	RSRV							

- INT, 1 бит. Сброс флага внешнего прерывания в NVIC. Если статус был сброшен, в то время как один из статусов CBC или OST установлен, Статус INT снова будет установлен.
- CBC, 1 бит. Сброс флага прерывания в циклическом режиме. При этом действие на выход продолжается вплоть до TVCTR=0, если ситуация удержания прекратилась к этому моменту. Если статус сброшен, а источник удержания остался, статус установится вновь.
- OST, 1 бит. Сброс флага прерывания в однократном режиме обработки удержания. При этом действие на выход продолжается вплоть до TVCTR=0, если ситуация удержания прекратилась к этому моменту. Если статус сброшен, а источник удержания остался, статус установится вновь.

13.36 Регистр Программной активации Порогового Выключателя (HDFRC).

Адрес	7	6	5	4	3	2	1	0
0x9C	RSRV					OST	CBC	RSRV
0x9D	RSRV							
0x9E	RSRV							
0x9F	RSRV							

- CBC, 1 бит. Запись 1 приводит к активации Порогового Выключателя в циклическом режиме. Устанавливается регистр HDFLG[CBC]. Доступен на Запись и Чтение.
- OST, 1 бит. Запись 1 приводит к активации Порогового Выключателя в однократном режиме обработки аварии. Устанавливается регистр HDFLG[OST]. Доступен на Запись и Чтение.

13.37 Регистр сброса прерывания HDINT (HDINTCLR)

Адрес	7	6	5	4	3	2	1	0
0xA0	RSRV							HDINT
0xA1 - 0xA3	RSRV							

HDINT, 1 бит. По чтению содержит значение активности прерывания HDINT (1 активно). Запись 1 сбрасывает выставление прерывания.

13.38 Регистр сброса прерывания TZINT (TZINTCLR)

Адрес	7	6	5	4	3	2	1	0
0xA4	RSRV							TZINT
0xA5 - 0xA7	RSRV							

TZINT, 1 бит. По чтению содержит значение активности прерывания TZINT (1 активно). Запись 1 сбрасывает выставление прерывания.

13.39 Регистр сброса прерывания INT (INTCLR)

Адрес	7	6	5	4	3	2	1	0
0xA0	RSRV							INT
0xA1 - 0xA3	RSRV							

INT, 1 бит. По чтению содержит значение активности прерывания INT (1 активно). Запись 1 сбрасывает выставление прерывания.