Интерфейс внешней памяти ИС 1874BE10AT

Для ИС 1874BE10AT применяется внешняя память с параллельным интерфейсом. Интерфейс подключения внешней памяти - мультиплексированная шина адреса/данных, поэтому необходимо применение "защелок" адреса по сигналу ALE.

Микроконтроллеры 1874BE10T допускают подключение различных устройств, реализующих функцию внешней памяти по 8/16/32-разрядному интерфейсу с внутренним контролем готовности для медленных устройств (сигнал READY).

8/16/32-разрядный интерфейс

В 16-битном режиме шина адреса использует сигналы: IEML15-IEML1, IEMH15-IEMH0, линия адреса IEML0 не используется. В 32-битном режиме шина адреса использует сигналы: IEML15-IEML2, IEMH15-IEMH0, линии адреса IEML0, IEML1 не используются. Необходимо обязательно устанавливать защелки на все линии адреса подключаемой внешней памяти, так как микроконтроллер не гарантирует корректное состояние старших разрядов адреса во время активного уровня сигналов RD/WR.

Активные уровни сигналов интерфейса внешней памяти

ALE - Выходной сигнал с высоким активным уровнем. Информирует о том, что на шине установлен и доступен верный адрес и начался шинный цикл. Сигнал ALE активен только в начале шинного цикла, а потом он переходит в неактивное состояние.

Сигнал ALE может использоваться внешним устройством как стробирующий сигнал захвата адреса в регистр-защелку.

«RD#» - Выходной сигнал с низким активным уровнем. Становится активным во время чтения внешней памяти.

«WR_LL, WR_LH, WR_HL, WR_HH» - Выходной сигнал с низким активным уровнем. Становится активным во время записи внешней памяти.

Дополнительные такты ожидания

Дополнительные такты ожидания добавляются при формировании активного уровня сигналов RD/WR.

При записи в битовое поле IRC значения 0x0 при обращении к внешней памяти длительности активных уровней сигналов RD/WR будут составлять один период сигнала XTAL (при 20МГц, длительность сигналов составит 50нс).

При записи в битовое поле IRC значения 0x3E при обращении к внешней памяти длительности активных уровней сигналов RD/WR будут составлять один период сигнала XTAL +62 такта CLOCKOUT (при 20МГц, длительность сигналов составит 6250нс).

Конфигурация интерфейса подключения внешней памяти осуществляется посредством регистров BUSCON (рисунок 1).



Рисунок 1 – Загрузка регистра BUSCON при выходе микроконтроллера из состояния сброса

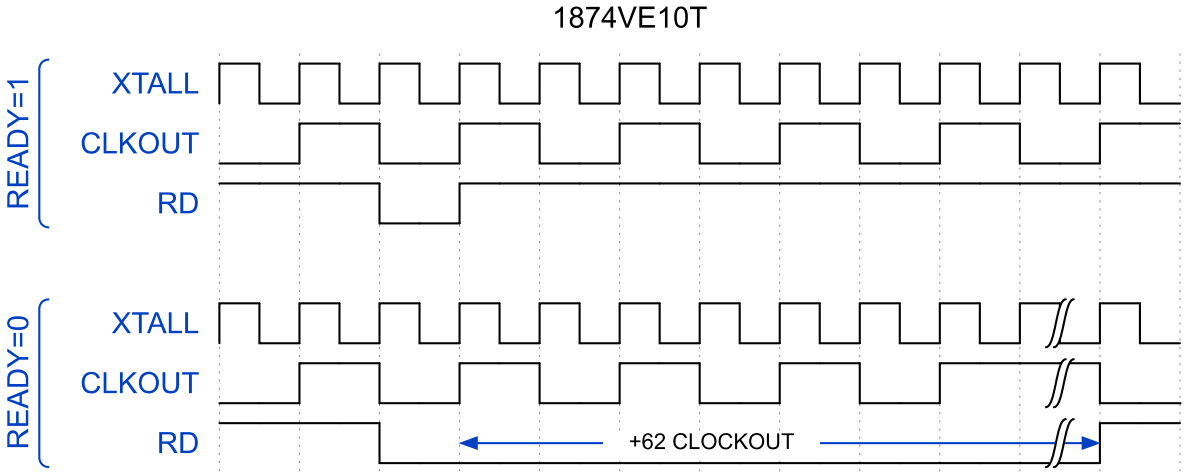


Рисунок 2 – Дополнительные такты ожидания в зависимости от уровня сигнала READY при выходе микроконтроллера из состояния сброса

При выходе из сброса микроконтроллер считывает состояние выводов BW0 и BW1 и записывает обнаруженную комбинацию в регистр BUSCON. Эта комбинация задает разрядность внешней шины (00b – 8-разрядная, 01b – 16-разрядная, 10b – 32-разрядная, 11b – не используется). Также считывается состояние вывода ECCEN и записывается в регистр. При уровне логического нуля сигнала READY в битовое поле IRC записывается значение 3Eh, при уровне логической единицы сигнала READY – записывается значение 00h (см. Рисунок 2). Остальные биты регистра заполняются микроконтроллером аппаратно и их состояние может быть перепрограммировано в дальнейшем.

Временные диаграммы записи/чтения 8/16/32-разрядной внешней памяти

На рисунках 3 – 8 представлены временные диаграммы при записи/чтении внешней памяти в 8-/16-/32-разрядных режимах.

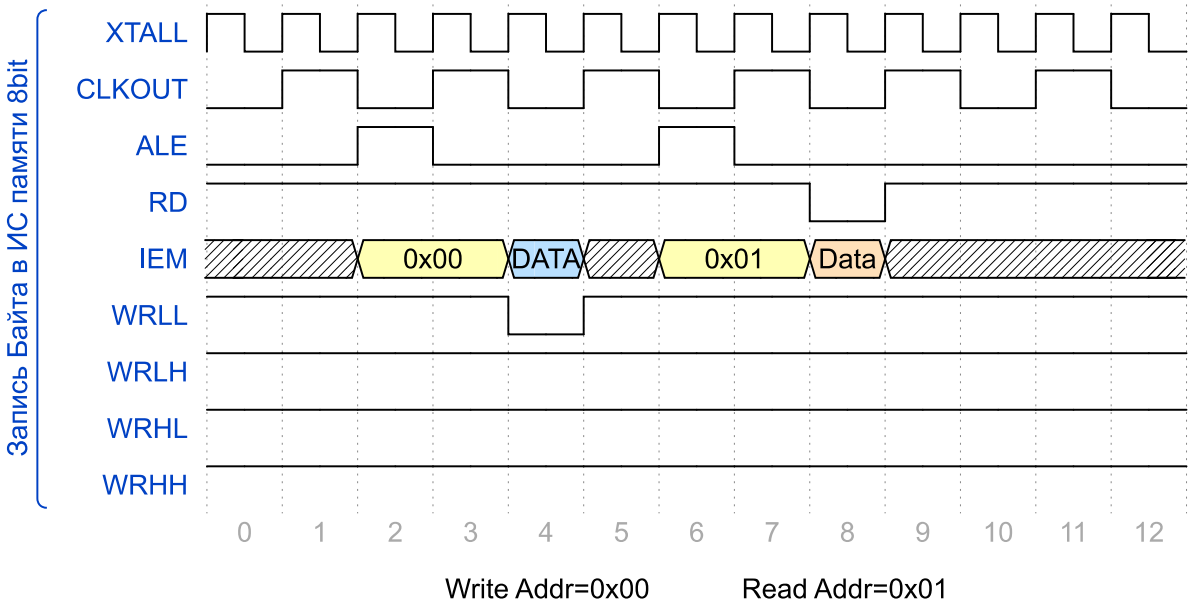


Рисунок 3 – Запись и чтение байта в 8-разрядную внешнюю память

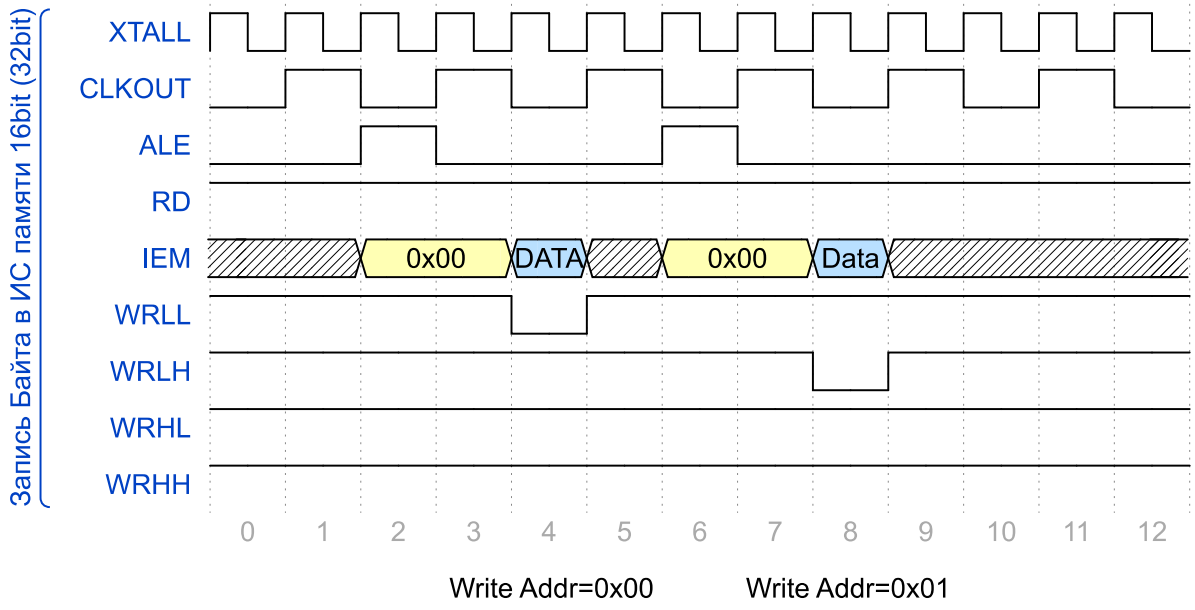


Рисунок 4 – Запись байта в 16/32-разрядную внешнюю память

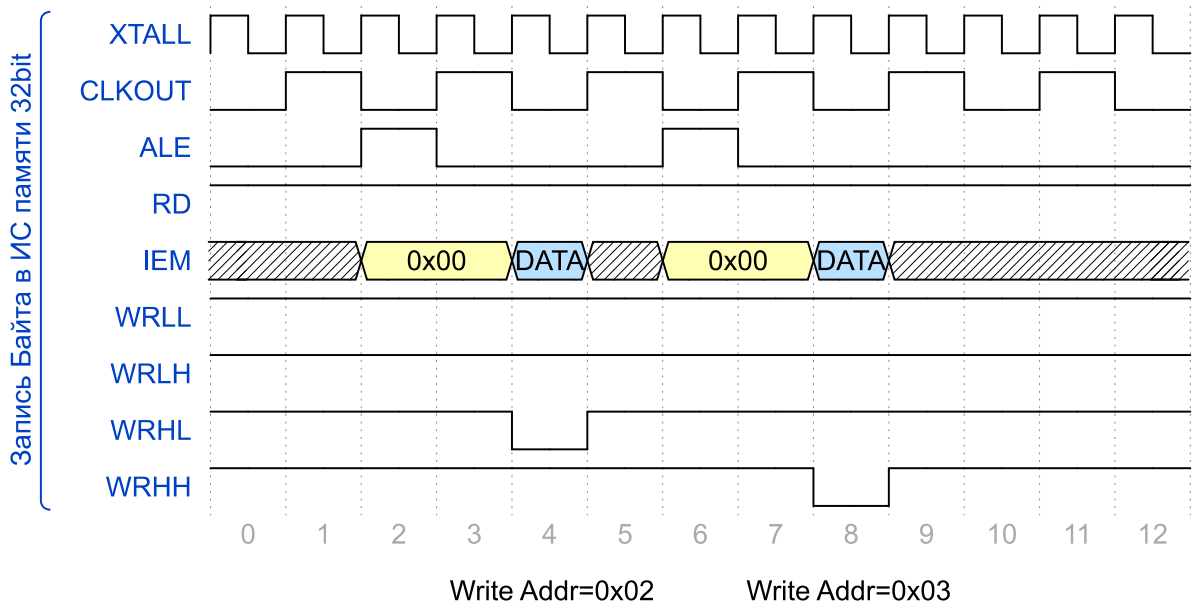


Рисунок 5 – Запись байта в 32-разрядную внешнюю память

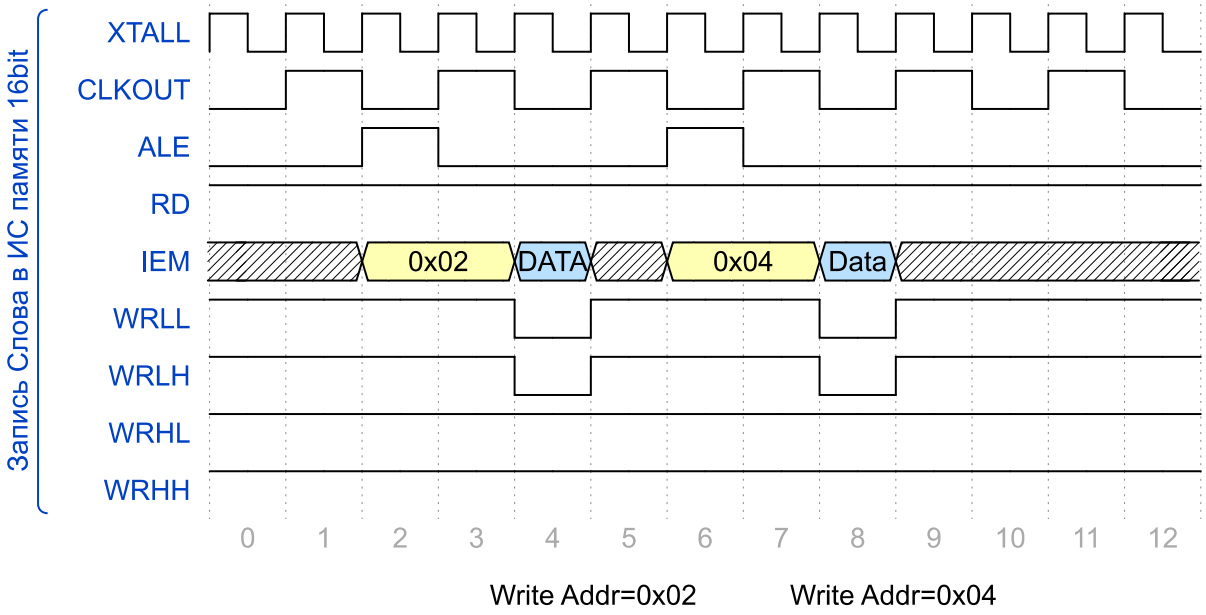


Рисунок 6 – Запись слова в 16-разрядную внешнюю память

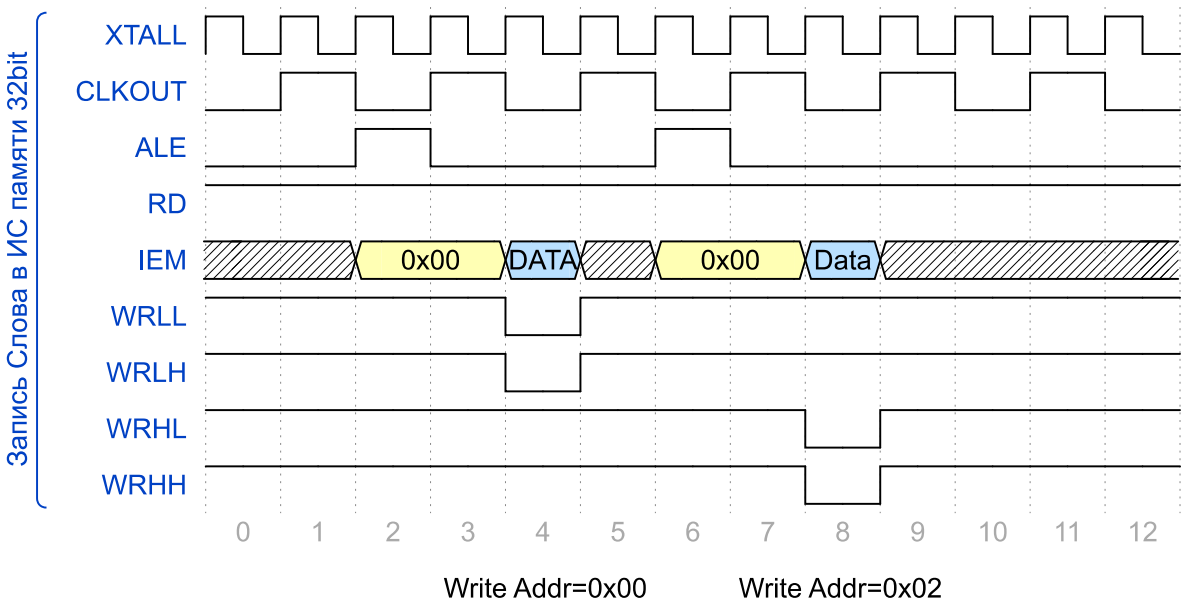


Рисунок 7 – Запись слова в 32-разрядную внешнюю память

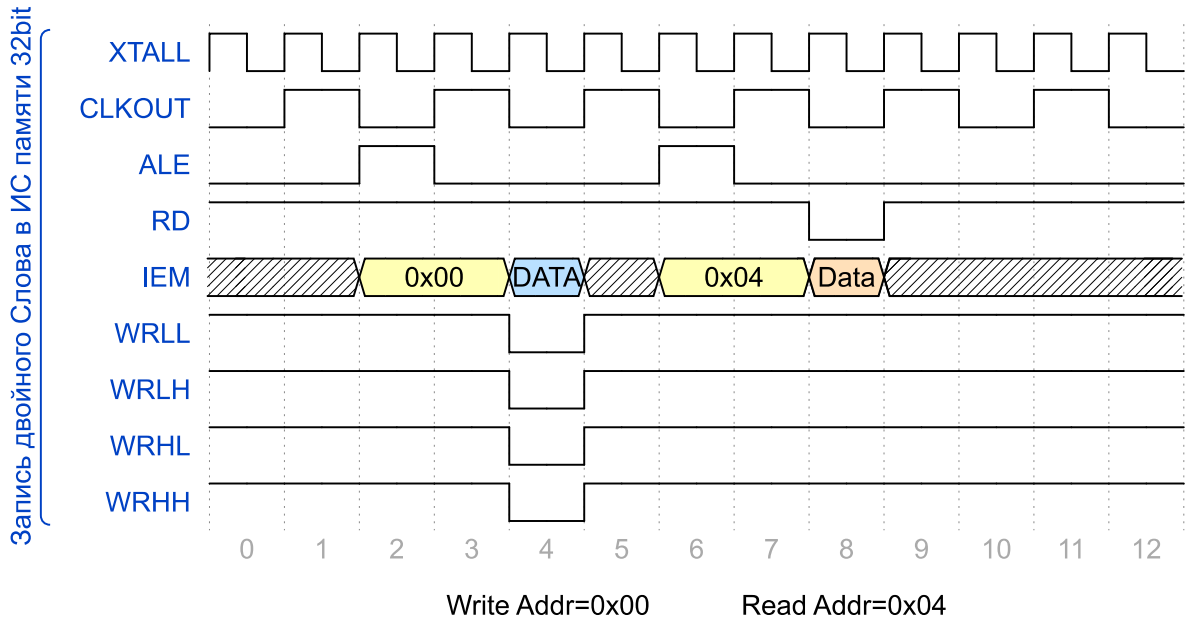


Рисунок 8 – Запись двойного слова в 32-разрядную внешнюю память